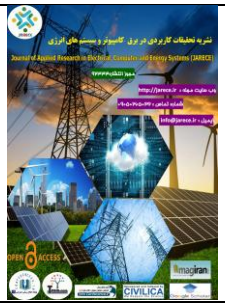
Vol. 3, No. 9, Apr-Jun 2025, (1-47)
Journal of Applied Research in Electrical, Computer and Energy Systems (JARECE)
نشریه تحقیقات کاربردی در برق ، کامپیوتر و سیستم های انرژی
دوره ۳، شماره ۹، بهار ۱۴۰۴ (۴۷-۱)
journal homepage: https://jarece.ir/



افزایش قابلیت اطمینان و کارایی شبکه روی تراشه با معماری های سه بعدی

زهرا سیفی منش

zahraseifim@gmail.com

رضا کردی-دانشگاه آزاد اسلامی واحد خرم آباد

Reza.kordi@khoiau.ac

چکیده

امروزه، دست یافتن به سرعت پردازش بالا از نیازهای مهم دانشمندان و مهندسان می باشد. روند دهه‌ی گذشته نیز به خوبی نشان دهنده‌ی تلاش طراحان سیستم ها برای دست یابی به سرعت پردازش بالا می باشد. اما با پیشرفت تکنولوژی سیلیکونی به دلیل پیچیدگی، مقیاس پذیری ضعیف، افزایش تأخیر در ارتباطات و تداخل در گذرگاه بسیار پرهزینه شدند و کارایی غیر قابل پیش بینی و نیز توان مصرفی بالایی را داشتند. برای غلبه بر این مشکلات شبکه روی تراشه پیشنهاد گردیده است.

در این مقاله با استفاده از روش پیشنهادی به کارگیری مسیریابی FT_XYZ و افزایش سرعت روترها با کاهش گیت های داخلی روترها کارایی شبکه روی تراشه سه بعدی افزایش دهیم. روش پیشنهادی 3DFTHP-NoC نسبت به روش S2DIO، متوسط تأخیر فلیت ها قبل از تزریق خطا92.05% بهبود در کاهش تأخیر، متوسط تأخیر فلیت ها پس از تزریق خطا در روترهای میانی82.23% بهبود در کاهش تأخیر، متوسط تأخیر فلیت ها پس از تزریق خطا در روترهای مرزی77.04% بهبود در کاهش تأخیر، گذردهی پس از تزریق خطا در روترهای میانی NoC 134.68% بهبود در افزایش گذردهی و گذردهی پس از تزریق خطا در روترهای مرزی NoC 137.99% بهبود در افزایش گذردهی خواهیم داشت.

کلمات کلیدی: معماری های شبکه روی تراشه سه بعدی، قابلیت اطمینان، کارایی شبکه.

مقدمه

در دنیای امروز، دست یافتن به سرعت پردازش بالا از نیازهای مهم دانشمندان و مهندسان می باشد. روند دهه‌ی گذشته نیز به خوبی نشان‌دهنده‌ی تلاش طراحان سیستم ها برای دست یابی به سرعت پردازش بالا می باشد. بدون شک طراحی یک سیستم پردازش سریع با محدودیت های فراوانی روبرو می باشد. سرعت یک پردازنده یکی از محدودیت‌های بسیار مهم می باشد. درکنار این، محدودیت در حافظه یا توان مصرفی نیز مانع از دستیابی به سرعت مورد نظر می باشد. همین محدودیت ها، مشوق طراحان برای طراحی سیستم روی تراشه چند هسته‌ای بوده است. اما با پیشرفت تکنولوژی سیلیکونی به دلیل پیچیدگی، مقیاس پذیری ضعیف، افزایش تأخیر در ارتباطات و تداخل در گذرگاه بسیار پرهزینه شدند و کارایی غیر قابل پیش بینی و نیز توان مصرفی بالایی را داشتند. برای غلبه بر این مشکلات شبکه روی تراشه پیشنهاد گردیده است .

شبکه روی تراشه[1] یک زیرسیستم ارتباطی درون یک مدار مجتمع (که به‌طور معمول یک "تراشه" نامیده می‌شود) است. که با استفاده از ارتباطات بسته سوئیچ شده نه تنها درجه بالایی از مقیاس پذیری را ایجاد می کند، بلکه استفاده‌ی مجدد از معماری ارتباطات را تضمین می کند و در ادامه به توضیح چند پارامتر شبکه روی تراشه می‌پردازیم.

[1] Network on Chip

الف- کارایی: ارتباطات شبکه روی تراشه ها می‌توانند پیچیدگی طراحی سیم‌ها برای سرعت قابل پیش بینی، انرژی، نویز، اتکاپذیری و غیره را کاهش دهند. چرا که ساختار منظم و کنترل شده‌ای دارند. از دیدگاه طراحی سیستم با پیدایش سیستم‌های پردازشگر چند هسته ای، یک شبکه یک گزینه معماری طبیعی می‌باشد. یک شبکه روی تراشه می‌تواند بخش‌های محاسباتی و ارتباطی را از هم گسسته سازد، مشکلات همزمان‌سازی را حل کند، به عنوان بستری برای سنجش سیستم استفاده شود و بنابراین سودمندی مهندسی را افزایش دهد.

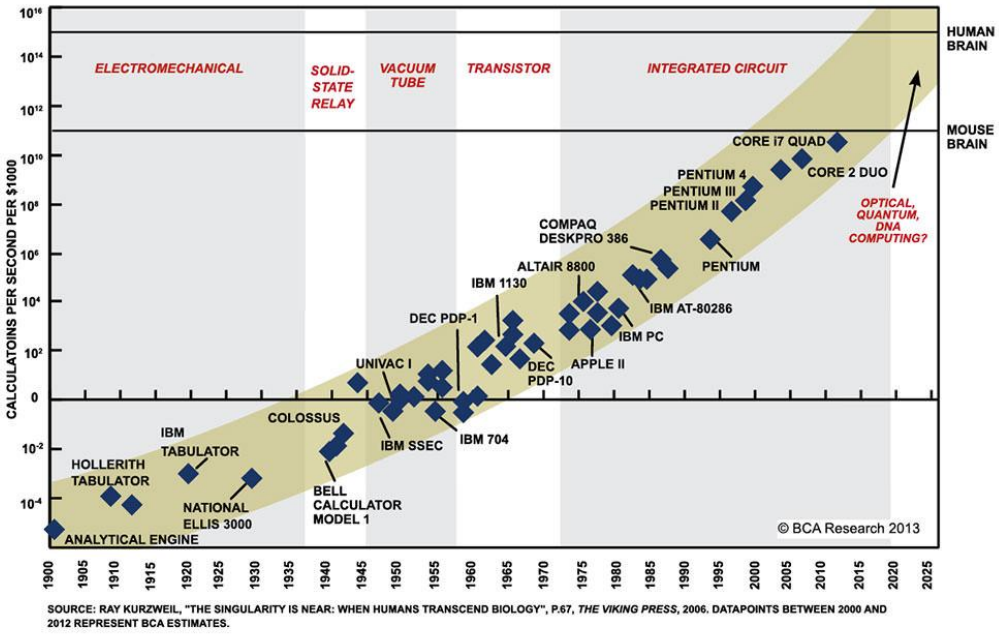
ب- مصرف انرژی : مدل های انرژی بیشتر شناخته شده برای معماری‌های شبکه روی تراشه شامل (بسته های با بیت انرژی، بسته ها و هاپ ها خطا).

همانطور که اشاره شد شبکه روی تراشه به عنوان یک طرح ارتباطاتی در سیستم‌های چند هسته ای مدرن، به منظور تضمین قابلیت اطمینان ارتباطات به کار گرفته می شود و شبکه مرسوم شبکه روی تراشه دوبعدی برای سیستم‌های با مقیاس بالا قابل اعتماد نمی باشد. یکی از محدودیت های اصلی قطر بزرگ آن، به خصوص در شبکه های با اندازه بزرگ می باشد . مسیریابی در شبکه‌روی تراشه دو بعدی، دارای مشکلات و چالش هایی می باشد که باعث شده است که محققان به سمت استفاده شبکه های روی تراشه سه بعدی بروند تا از بعد سوم تراشه ها بتواند استفاده کنند، طراحی الگوریتم مسیریابی یکی از مراحل مهم در طراحی شبکه روی تراشه که باید در نظر گرفته شود و هدف اصلی ما، ارائه یک الگوریتم مسیریابی شبکه روی تراشه سه بعدی جهت برقرای توازن بار در شبکه روی تراشه می‌باشد و توازن بار که یکی از مهمترین پارامترهای شبکه روی تراشه محسوب شده و روی کارایی، سرویس و همچنین قابلیت اطمینان تراشه تأثیر گذار است.

بیان مسأله

طبق قانون مور[2] با اختراع مدارهای مجتمع، تعداد ترانزیستورهای روی تراشه هر۱۸ماه، تقریباً دو برابرمی شود. این افزایش شدید باعث بوجود آمدن تراشه هایی با عملکردهای بیشتر و پیچیده ترشده است بطوری که امروزه به منظور افزایش چگالی ترانزیستورها، داشتن فرکانس عملیاتی بالا وکاهش زمان طراحی، تراشه هایی طراحی می‌شودکه عناصر عملیاتی ناهمگن و پیچیده را روی یک تراشه بوجود می‌آورد. باتوجه به کاهش کارآمدی قانون مور، دانشمندان به دنبال پیدا کردن روش‌های محاسباتی جدیدی مانند رایانش کوانتومی هستند.

[1] Moore's Law



شکل۱-۱ قانون مور(Ray Kurzweil, 2012)

درسیستم روی تراشه [3] با افزایش تعداد هسته های تراشه سیستمی، ایجاد ارتباط بین آنها کارساده ای نیست و همچنین خصوصیات الکتریکی سیگنال ها و تأخیر قابل پیش بینی نیست. از این رو تراشه های VLSI[4] ساخته شد، پیچیده وگران هستند، طراحی تراشه نیز زمان زیادی می گیرد. (جمشیدی،گوهرریزی و همکاران،۱۳۸۴)

درابتدا سیستم های چندپردازنده ای با توجه به تعداد پردازنده ها به شکل کاملا ساده، سنتی و مبتنی بر گذرگاه[5] پیاده‌سازی می‌شدند. همچنین در شرایطی‌که تعداد پردازنده ها کم است می‌توان از ارتباطات مستقیم(نظیر به‌نظیر[6])استفاده کرد، اما این معماری ارتباطی قابلیت گسترش ندارد و فقط برای شبکه‌های کوچک مناسب است. نمونه‌ی دیگری از معماری های ارتباطی پردازنده ها، ایجاد شبکه‌ی میان ارتباطی با استفاده از سوئیچ های متقاطع[7] است که این نمونه هم برای شبکه های بزرگ مناسب نبوده و مقیاس‌پذیر[8] نیست.

گذر زمان و افزایش تعداد پردازنده ها که می‌توانند حتی ناهمگون[9] و با ساختاری پیچیده تجمیع یافته باشند و حتی در سطوح ولتاژی مختلف نیز کارکنند، باعث شد که نتوان مبتنی بر گذرگاه ها به کارایی مدنظر رسید. حتی استفاده از سیستم های مبتنی بر گذرگاه با ساختاری سلسله مراتبی نیز بهبود چندانی در این زمینه ایجاد نکرد. لذا یک بستر جدید تحت عنوان

[1] System on Chip
[2] Very Large Scale Integration
[3] Bus Based(Signal and Multiple)
[4] Point to Point
[7] Crossbar Switches
[8] Scalable
[9] Heterogeneous

شبکه روی تراشه[10] در مجموعه سیستم روی تراشه[11] متولد گردیدکه زیر ساخت اصلی ارتباطات بین پردازنده ها را فراهم کند.(مردانی کمالی،۱۳۹۲)

استفاده از سیستم روی تراشه و بهره‌گیری از شبکه روی تراشه به جای استفاده از گذرگاه قدیمی به عنوان وسیله‌ای برای ارتباط بین پردازنده‌ها، مسائل جدیدی را در زمینه آزمون پذیری به وجود می‌آورد. در تکنولوژی‌های جدید، سیستم روی‌تراشه یک تکنیک پیاده سازی برای مدیریت حجم انبوه ترانزیستورها بر روی یک تراشه می باشد. با پیشرفت تکنولوژی، سیستم روی تراشه هر روزه پیچیده‌تر می‌گردد که این پیچیدگی باعث افزایش محدودیت های توان، مساحت و سرعت واحدهای پردازشی موجود در هر تراشه می‌شود. بررسی ها نشان می‌دهند که سیستم روی‌تراشه چند پردازنده ای[12] نسبت به سیستم روی تراشه تک پردازنده ای[13] کارایی بالاتر و انرژی مصرفی کمتری دارند.

در طراحی سیستم روی تراشه چندپردازنده ای و سیستم روی تراشه علاوه بر نیاز به طراحی المان های محاسباتی باید برای ارتباط بین المان ها نیز چاره ای اندیشید. در واقع یکی از مهمترین فاکتور ها در مجتمع سازی های داخل یک تراشه، الگوی ارتباطی بین اجزا است که باید دارای قابلیت اطمینان بالا، انرژی مصرفی کم و کارایی بالا باشند. ساختارهای ارتباطی داخل تراشه مرسوم با محدودیت های زیادی روبه رو هستند. امروزه با پیشرفت تکنولوژی نیمه‌هادی‌ها در طراحی VLSI[14] تأثیر این محدودیت ها افزایش یافته است. از مهمترین این محدودیت ها می توان به موارد زیر اشاره کرد:

۱- کارایی: ارتباط بین المان‌های درونی یک سیستم توسط باس مشترک انجام می‌پذیرد. از آنجا که باس تنها قابلیت یک انتقال را در هر زمان دارد، اگر چندین جریان داده به طور همزمان بخواهند انتقال پیدا کنند، بین آنها رقابت برای بدست آوردن یک منبع ارتباطی مشترک ایجاد می‌شود. با افزایش تعداد المان ها، پیچیدگی این سیستم ها بیشترشده و کارایی آنها نیز بسیار پایین تر می‌آید.

۲- قابلیت اطمینان: سیستم های VLSI در آینده مقابل فرم های مختلف نویزهای الکتریکی آسیب پذیرتر خواهند بود. علت این امر کمتر شدن ولتاژ منبع از یک ولت و همچنین استفاده از قطعات با سایز کوچکتر و فشرده سازی ترانزیستورها می باشد. ترافیک نیز به عنوان یکی دیگر از منابع تولیدکننده نویز به حساب می‌آید. بنابراین ارسال مقادیر دیجیتال روی سیم ذاتاً غیرقابل اطمینان است.

۳- مصرف انرژی: باکوچکترین شدن قطعات VLSI، لینک های ارتباطی تبدیل به بزرگترین مصرف‌کننده‌های انرژی در سیستم ها می‌شوند.

[10] Network-on- chip(NoC)
[11] System-on-chip(SoC)
[12] Multiple Processor System on chip
[13] Signale Processor System on chip
[14] Very Large Scale Integration

٤- تأخیر سیم: تأخیر سیم ها هنوز از بزرگترین مشکلات در سیستم های VLSI امروزه به حساب می‌آید، زیرا پیش‌بینی آن در طراحی سخت است. در طراحی سیستم روی تراشه به دست آوردن الگوی ارتباطی قابل ارزیابی یکی از اهداف مهم است.

٥- سنکرون سازی سراسری: با کوچک شدن سایز سیم ها سرانجام تأخیر توزیع سیگنال از دوره ساعت تجاوز می‌کند. بنابراین نیاز به طراحی غیرحساس به تأخیر ضروری است.

طراحی سیستم روی تراشه برمبنای استفاده مجدد از هسته های ازپیش طراحی شده[15] است. (صبور روح منفرد، ۱۳۸۸)

درحال حاضر هزینه برقراری ارتباط بین پردازنده ها بسیار بیشتر از هزینه اجرای محاسبات در آنها می باشد. به بیانی دیگر، فراهم نمودن یک سیستم میان ارتباطی برای تراشه بیشتر از فراهم کردن بلوک‌های روی تراشه هزینه دارد. سیستم روی تراشه‌ای که براساس گذرگاه داده ارتباط بین پردازنده هایشان را برقرار می‌کنند، نمی‌توانند برای ارتباطات پشت سر هم و با سرعت بالا استفاده شوند. همچنین هر چه حجم اطلاعات ارتباطی مقیاس‌پذیر که بتواند نیازهای ارتباطی سیستم روی تراشه را فراهم کند، مورد نیاز است. بنابراین محققان یک ریز شبکه روی تراشه براساس سوئیچ کردن بسته های اطلاعاتی با عنوان شبکه روی تراشه را معرفی کرده اند. می توان نتیجه گرفت که گذرگاه‌های داده کارایی کافی را در طراحی های پیچیده امروزی دارا نمی باشند. شبکه روی تراشه، بالاترین سطح موازی سازی و تأخیر اندک را در زمانی که تعداد ارتباط ها افزایش می‌یابد، دارا می باشند. بنابراین شبکه روی تراشه مشکلات مربوط به کاهش کارایی در گذرگاه ها را که بیشتر به دلیل تأخیر در سیم های عمومی و عدم استفاده مفید از آنها می‌باشد حل نموده است.

برتری های شبکه روی تراشه

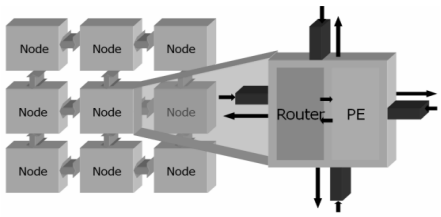
شبکه های میان ارتباطی روی تراشه یکی از تکنولوژی های کلیدی با قدرت محاسباتی بالا و مصرف انرژی بهینه برای برقراری ارتباط بین پردازنده ها و سیستم روی تراشه می باشند. شبکه روی تراشه به منظور مقابله با افزایش میزان اتلاف انرژی و همچنین تأخیر میان ارتباطی های عمومی روی تراشه، ساختاری شامل سیستم های ارتباطی و بلوکی هوشمند مسیریابی را ارائه می‌کند که سطح بالایی از کیفیت سرویس[16] را پشتیبانی می‌کنند.کیفیت سرویس در واقع مجموعه‌ای از نیازمندی‌های اجرایی شبکه روی تراشه که بازدهی مناسب، پهنای باند قابل دسترسی، اتلاف توان و تأخیر پایین و قابلیت اطمینان را شامل می شود، می‌کند.

یکی دیگر از فواید استفاده از شبکه روی تراشه، مقیاس پذیری آن می‌باشد. بسته به نیازهای ارتباطی سیستم، لایه‌های لازم می‌توانند اضافه و لایه‌های بی‌استفاده حذف گردند. درصورتی که ارتباط، به ویژگی های خاصی نیاز نداشته باشد، لایه معادل با آن ویژگی می‌توانند حذف گردد. از طرفی شبکه روی تراشه در برخی از ویژگی ها، با شبکه های خارج از تراشه متفاوت می باشند.

[15] Intellectual Property(IP)Cores
[16] Quality of service(QoS)

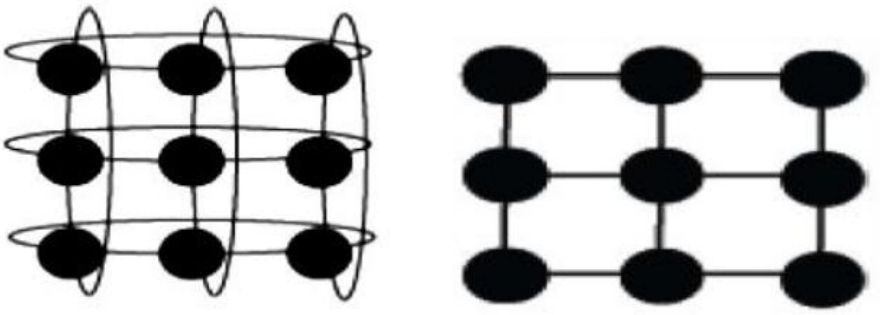
این ویژگی ها مخصوص به شبکه روی تراشه است و از بین آنها می‌توان به مواردی مانند قابلیت اطمینان و کیفیت‌سرویس، سربار مساحت پایین، توان مصرفی کم، درستی و صحت مقدار سیگنال و نگه داری از منابع شبکه اشاره نمود.

درشکل۱-۲ معماری یک شبکه روی تراشه نشان داده شده است. همانطور که ملاحظه می‌شود، یک شبکه روی‌تراشه به طور ساده از لینک ها وگره ها تشکیل شده و هرگره از یک المان پردازشی و یک مسیریاب تشکیل شده است. گراف تشکیل شده از اتصال گره ها در طراحی شبکه، همبندی شبکه را مشخص می‌کند. گره ها به هر صورت دلخواه‌ی می‌توانند متصل شوند که از این بین، مهمترین همبندی های موجود عبارتند از: مش[۱۷]، حلقه[۱۸]، مدور[۱۹]، درخت پر، پروانه ای، مکعب، در بین این همبندی ها، همبندی مش با توجه به ساختار ساده و قابلیت پیاده‌سازی آسان آن، بیشتر مورد استفاده قرار گرفته است. مشکل اصلی همبندی مش، قطر آن می‌باشد. قطرآن برابر است با بیشینه کوتاه ترین مسیرهای ممکن بین هر دو گره در یک شبکه برای مثال در یک شبکه مش ۴در۴ قطر شبکه مساوی ۶ است. برای حل این مشکل، همبندی مدور معرفی شده است. در یک همبندی ۴ در۴، قطر شبکه مدور برابر ۴ است. شکل۱-۳ الف و ب به ترتیب معماری شبکه مش و مدور را نشان می دهد.(گل وردزاده‌و همکاران،۱۳۸۹)



شکل۱-۲ معماری یک شبکه روی تراشه(گل وردزاده،بهنام و همکاران.۱۳۸۴)

[1] mesh
[2] Ring
[3] Tours

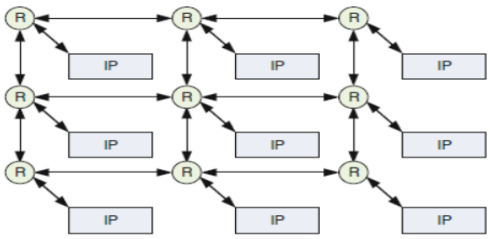


(ب) (الف)

شکل ۳-۱ معماری همبندی مش و مدور(Muhammad Ahsan Khan,2017)

پیکربندی شبکه روی تراشه دوبعدی

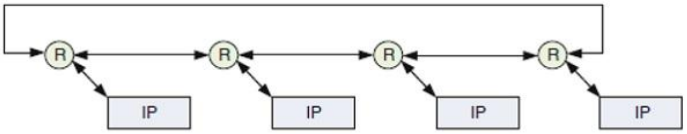
یک شبکه‌ی مش دو بعدی در شکل۱-۴ به صورت شماتیک ترسیم شده است که ساده ترین ومعروف ترین پیکربندی برای شبکه روی تراشه ها است. این پیکربندی شامل یک شبکه مش با ابعاد $N\times M$ از سیستم های متصل بهم است. برای مثال هسته های پردازشگر، حافظه ها وغیره. این مسیریاب یا سیستم ها هرکدام، به غیر از آنهایی که در زاویه ها قراردارند به ۴سوئیچ همسایه ویک گره متصل می‌شوند. سپس، تعداد سوئیچ ها برابر با تعداد گره ها(سیستم‌های کامپیوتری)است. برای رسیدن به یک مسیر ارتباطی فیزیکی بین گره ها وسوئیچ ها(یا بین سوئیچ ها)ازکانال های ارتباطی هر کدام از آنها شامل دو لینک غیر مستقیم بین یک گره ویک سوئیچ یا بین دو سوئیچ هستند. پیکربندی مش دو بعدی فرض را بر این قرار می دهد که همه‌ی اتصالات، اندازه و طولی برابر دارند، بنابراین یک قاعده اصلی که طرح فیزیکی آن را به شکل قابل توجه‌ی ساده می‌کند در پیش می‌گیرد. هم چنین، با این کار، پیش بینی فضای مورد نیاز برای پیکربندی مش ساده تر خواهد شد، چرا که این فضا با افزایش تعداد گره ها تقریبا به صورت خطی رشد خواهد کرد. به غیر از این مزایا، استفاده پیکربندی مش، اشکلاتی هم دارد. ازدیاد مسیریاب هایی که در این پیکربندی حضور دارند سبب می‌شود که نواحی پر تراکمی از ابزار ها داشته باشیم. به همین منظور باید طراحی با دقت و نقشه چینی کاربردی را پیاده کنیم تا از تراکم ترافیک مخصوصاً در مرکز اجتناب کنیم. توجه داشته باشیدکه پیکربندی های مش دو بعدی مشکلاتی در ازدحام در مرکز این معماری نسبت به اطراف آن دارند و این به خاطر استفاده از الگوریتم های مسیریابی می باشد. یک نمونه از این پیکربندی در یکپارچگی سطوح تراشه ای در ارتباط اجزا نامتجانس درشبکه روی تراشه هاست. مدور، یک نوع پیکر بندی مستقیم دیگر است که با یک تور n بعدی شامل k گره در هر بعد شکل گرفته است. ابعاد مختلف این پیکربندی ارائه شده اند.



شکل ۱-۴ توپولوژی مش دو بعدی [20] (Konstantinos Tatas & et al,2014)

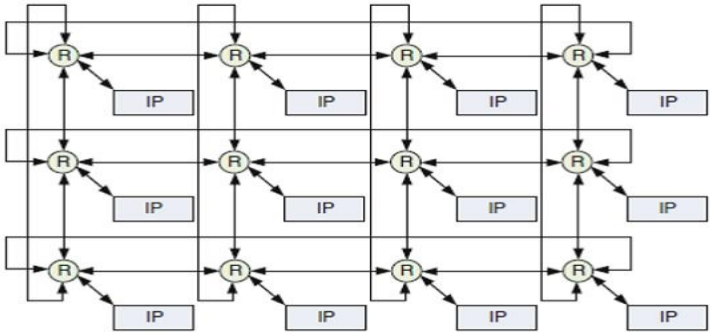
در ادامه آن را شرح خواهیم داد و دو روش دیگر که به شکل وسیعی طرح آن ها مورد قبول است را به تفضیل شرح خواهیم داد.

شکل۱-۵ یک مدور یک بعدی شامل یک آرایه k و یک مکعب را ترسیم کرده است که در اصل یک شبکه‌ی حلقه ای با تعدادk گره است. سپس این پیکربندی به حد کافی برای استفاده در این طرح ها ساده است، اگر چه با افزایش تعداد گره ها، مقیاس‌پذیری و کارایی محدودی خواهد داشت. به طور مشابه، پیکربندی مدور دو بعدی با آرایهk و۲مکعب هم در شکل۱-۶ ترسیم شده است، که آرایش یک مش معمولی را نشان می دهد با این تفاوت که گره‌های موجود در هر زاویه با سوئیچ هایی در زاویه‌ی مخالف به وسیله‌ی کانال های مسیریابی بسته اتصال بر قرارکرده اند هر سوئیچ ۵ درگاه یا پورت دارد که یکی از آنها، به منبع مرکزی محلی و بقیه به نزدیکترین سوئیچ های همسایه متصل شده اند. محدودیت این پیکربندی روی اتصالات منتهی به اطراف تأثیر می‌گذارد، چرا که زمان تأخیر در آن ها افزایش یافته واین زمان تأخیر با توجه به اندازه‌ی این پیکربندی فرق می‌کند. در نتیجه، برای اجتناب از هر گونه مشکل نقض زمان ومصرف توان در این اتصالات، اندازه، زمان تأخیر و مصرف توان آن ها باید در طول فاز طراحی به دقت محاسبه شود.

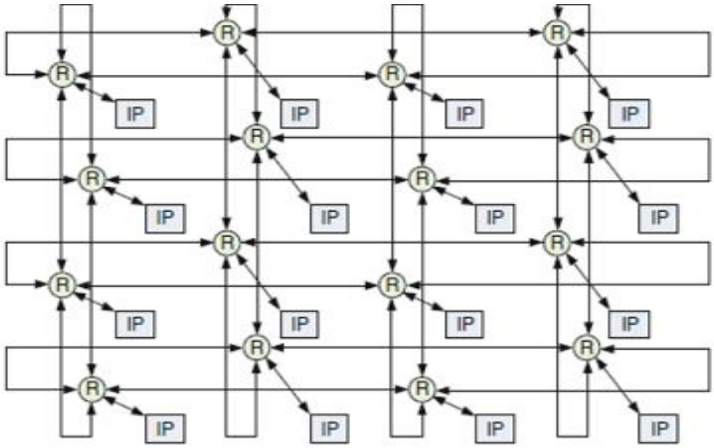


شکل۱- ۵ مدور یک بعدی[21] (Konstantinos Tatas & et al,2014)

[1] mesh topology 2-D
[2] Torus 1-D



شکل۱-۶ مدور[۲۲] (Konstantinos Tatas & et al,2014)



شکل ۱-۷ مدور تاخورده[۲۳](Konstantinos Tatas & et al,2014)

مدور تاخورده هم در شکل ۱-۷ به صورت شماتیک آمده است که شکل توسعه یافته‌ی پیکربندی مدور است. الگوی اتصالی متفاوتی درپیکربندی مدور تاخورده وجود دارد که مشکلات مربوط به زمان تأخیر را در اتصالات متنهی به اطراف بهبود می‌بخشد. علاوه براین، قاعده‌ی اصلی این پیکربندی برای همه اتصالاتی که طول فیزیکی و زمان تأخیر مشابهی دارند اجرا می‌شود. در نتیجه تعیین کوتاه ترین مسیر با همان تجهیزات مشابه برای مسیریاب بسیار ساده ترخواهد بود. از آنجایی که شبکه روی تراشه ها معمولا برای طراحی های برنامه خاص به کار می روند، مش ها توسعه یافته یا تغییر یافته وکلاً پیکربندی های توری[۲۴] را با افزودن اتصالات برگردان برای رسیدن به کارایی بیشتر در ناحیه سیلیکونی ترجیح می دهند. البته باید این

[1] Torus 2-D
[2] Folded torus
[3] Tori

نکته را ذکر کنیم که هر دو پیکربندی مش و مدور قابلیت این دارند که هم به صورت مستقیم و هم غیر مستقیم در شبکه ها به کارگرفته شوند.

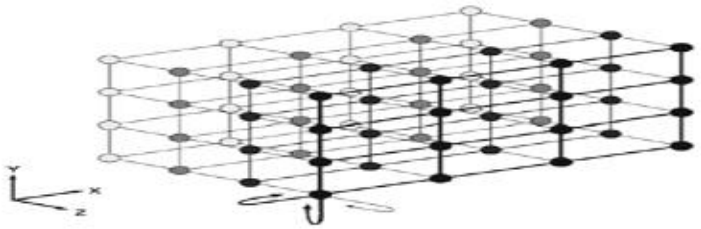
پیکربندی سه بعدی

عمل سه بعدی کردن تراشه ها تحت عنوان پیکربندی گلوله‌ی نقره ای می‌تواند حرکت و نیروی موج بعدی استفاده‌کنندگان از محصولات الکترونیک را طبق قانون مولر تنظیم کند. جدا از انعطاف پذیری این روش جدید، یکی از چالش های اصلی که طراحان امروزه با آن مواجه هستند این است که در شبکه های سه بعدی، به اتصال بین قطعات به وسیله یک لایه یا لایه های متعدد در یک حالت متوازن وکاربردی دست یابند. یک راه حل قابل اعتماد برای این مشکل، استفاده از شبکه روی تراشه هاست. پیکربندی هایی که قبلا نام برده شدند، را می توانیم به کار بگیریم تا ارتباط فیزیکی را برای معماری های مسطح (دو بعدی)فراهم آوریم. اگر چه در سال های اخیر، آکادمی ها، مراکز تحقیقاتی و صنایع، تلاش های بسیاری برای طراحی معماری های سه بعدی کرده اند، اما تعدادی از گره ها برای لایه های متعددی به کار گرفته می‌شوند و اتصال بین لایه های مجاور از طریق "سیلیکون به صورت عمودی[۲۵]" صورت می گیرد. این الگوی جدید از طریق ترکیب مزایای شبکه های سه بعدی با توازن رو به گسترش در شبکه روی تراشه، یک ساختار ارتباطی برای نسل های بعدی سیستم های پیچیده فراهم می‌آورد. خصوصاً اینکه موقعیت گره ها روی محور Z در میان سایرگره ها منجر به کاهش چشمگیر در زمان تأخیر اتصال، ساختار کانونی اتصال، افزایش انعطاف پذیری به همراه یکپارچگی در سیستم ها تکنولوژی های مشابه می شود. اگرچه برای اینکه معماری‌ها به شکل گسترده ای پذیرفته شوند، باید متدولوژلیست های مطرح وابزارهایی که برای درک ویژگی های ذاتی این معماری ها لازمند برایشان فراهم شود.

تقریباً تمام تکنولوژی هایی که قبلاً نام برده شده اند برای حوزه‌ی پیکربندی های سه بعدی هم کارآمدند. اما این در صورتی است که به شکلی مناسب توسعه یابند. برای مثال یک نمونه از روش های توسعه، افزایش تعداد درگاه‌های مسیریاب است، در نظربگیرید که یک پیکربندی مش داریم و می‌خواهیم معماری آن را با توزیع قطعه به همان اندازه در میان لایه های سخت افزاری معماری سه بعدی از حالت دو بعدی به حالت سه بعدی انتقال دهیم. همان طور که در شکل۱-۸ آمده است، پیکربندی شبکه‌ی مش سه بعدی براساس استفاده از سوئیچ هایی با هفت درگاه است تا با سوئیچ‌هایی که پنج درگاهی و قابل استفاده در معماری های دو بعدی اند. قطرمش سه بعدی به شکل D=d(K-1) نشان داده می شودکه براساس آن d، بعد و K تعدادگره هاست. یک شبکه‌ی مدور شبیه شبکه مش با گره های مرزی خود به زاویای منتهی به دورگردون [۲۶] متصل می‌شود. این زوایا به شکل چشمگیری قطرکلی شبکه را کاهش داده پس زمان تأخیر کلی را بهبود می بخشند. شکل۱-۸ معماری یک شبکه سه بعدی مدور و روش پارتیشن بندی به چهار قسمت را نشان می دهد. یک روش جایگزین برای طراحی شبکه روی تراشه های سه بعدی ارتقاء و اصلاح قطعه‌ی پیشتاز آن ناحیه است. این روش فرض را بر این می‌گذارد که اجزاء پردازشگر و مسیریاب در یک مدل توزیع شده در بین لایه ها به کار گرفته شده اند. علاوه بر این،

[25] Tsvs
[26] wrap-around

شـبکه روی تراشـه سـه بعدی با قطر کم نیز مورد مطالعه قرار گرفته که درآن طراحان ابزار ها، از کابل های بلند برای اتصـال گره های بین لایه ای دور از هم اسـتفاده می کنند. یک معماری شـبکه سـه بعدی لایه های چندگانه، با اتصـالات چندگانه ی عمودی و تقسیم شده نیز پیشنهاد شد در حالی که با یک نظرسنجی می توان جواب مثبت و هزینه های استفاده از پیکربندی مختلف برای شبکه روی تراشه های سه بعدی را دریافت .



شکل ۱-۸ توپولوژی مدور سه بعدی[27](Konstantinos Tatas & et al,2014)

در نتیجه، نمی توان یک پیکربندی مطلوب برای شبکه روی تراشه ها پیداکرد چرا که کارایی آنها به محدودیت‌های ذاتی دامنه‌ی کاربردی هدف وابستگی زیادی دارد. پیکربندی مش یکی از ساده ترین پیکربندی ها را در اجرا داراست چراکه حداقل پیچیدگی در طراحی را دارد. این پیکربندی برخی از ویژگی های مطلوب را شامل آدرس‌دهی ساده، مسیرهای متعدد منبع-مقصد از خودشان می دهد که قدرت این پیکر بندی را دربرابر اختلالات شبکه ای بالا می برند. پیکربندی هایی با ابعاد کم در شرایطی مانند افزایش تقاضا برای پنهای باند بین سوئیچ ها وافزایش تأخیر بعمل آمده توسط سوئیچ ها مطلوب هستند. از سوی دیگر اگر کاربرد هدف ما یک میزان بالا از قرارگیری در الگوی ارتباطی را نشان دهد، تقاضا برای پیکربندی هایی با ابعاد بالاتر، بیشتر می‌شود. (al,2014Konstantinos Tatas & et)

با پیشرفت فناوری ساخت مدارات مجتمع و در کنار آن افزایش پیچیدگی های برنامه های کاربردی، سبب اقبال به سمت سیستم‌روی تراشه چند هسته ای شد. اگرچه فرایند مقیاس پذیری فناوری ها، بهبود کارایی گیت ها را بهمراه داشت. اما پیچیدگی الگوهای ارتباطی روی تراشه بدلیل افزایش قدرت پردازنده ها و همچنین پیچیدگی کاربردها، ارتباطات روی تراشه را به یک گلوگاه کارایی تبدیل نمود. دو راه حل ارائه شده برای حل این مشکل، معماری های سه بعدی و ساختار شبکه روی تراشه می باشد.

یکی از راه حل ها در سطح طراحی، ساختارهای سه بعدی و روی هم پشته کردن لایه های دو بعدی تراشه ها است. در این راه کار، اتصالات عمودی بین سیلیکونی ارتباط بین لایه های تراشه را فراهم می کنند.

در این میان، تراشه های سه بعدی بدلیل مجتمع سازی عمودی و استفاده از اتصالات عمودی با تأخیر کم، سبب کاهش مساحت تراشه وکاهش چگالی سیم بندی شده اند. یکی از چالش های فراروی طراحان این تراشه ها، دستیابی به اتصالات کارا

[27] 3-D torus topology

و مقیاس پذیر در سطح هر لایه است. استفاده از شبکه روی تراشه می تواند طراحان را در رسیدن به این مهم یاری نماید. با ترکیب این دو روش می توان از مزایای گوناگون هر دو این روش ها همانند تأخیر انتشار کمتر، مصرف توان اتصالات کمتر،کاهش مساحت تراشه و پهنای باند بالاتر بهره برد. به تازگی تحقیقات بسیاری در زمینه این نوع شبکه ها انجام گرفته و یا در حال انجام است . (محبی مقدم، ۱۳۹۵)

مزیت اصلی شبکه روی تراشه سه بعدی این است که لایه ها می‌توانند در فاصله ی چند میلی متری به صورت عمودی، با استفاده از TSV[28]، روی هم قرار گیرند و طول ارتباطات را به طور قابل ملاحظه ای کاهش دهند. به دلیل همبستگی مثبتی که بین طول ارتباطات سراسری و معیارهایی مانند تأخیر و توان مصرفی وجود دارد،کاهش سیم ها منجر به کاهش تأخیر و توان مصرفی می شود. از این رو، شبکه روی تراشه سه بعدی، کارایی بالاتر و توان مصرفی کمتری نسبت به همتایان دو بعدی خود دارند. درکنار مزایای ترکیب این دو معماری، شبکه روی تراشه سه بعدی معایبی نیز دارند.

باوجود اینکه سه بعدی سازی بهبود قابل توجهی در تأخیر و کارایی سیستم و پهنای باند مورد نیاز آن ایجاد می‌کند، ولی همچنان ضعف های اتصالات الکتریکی را برطرف نکرده است و در کنار آن، مشکل توان مصرفی در این ساختارها محدودکننده‌تر شده است. وجود چالش های موجود باعث شده است که به بسترهای ارتباطی بین هسته های پردازشی با ماهیت فیزیکی متفاوت بیشتر توجه شود.

ساختار شبکه روی تراشه

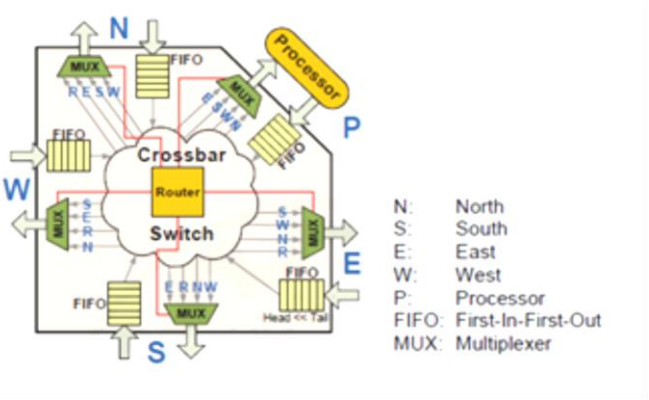
ساختار شبکه روی تراشه شامل یک سری راهگزین[29] می باشدکه می توانند در یک توپولوژی توری دو بعدی، به منظور سادگی طراحی و قابلیت اجرای آزمون غیر همروند یا همروند،پیاده سازی شوند. یک راهگزین شامل درگاه‌های ورودی و خروجی، بافرهای FIFO، بافرهای ارسال مجدد(در صورت نیاز)، مالتی پلکسرها، یک سوئیچ عرضی[30] و واحد مسیریابی می باشد.

راهگزین ها در شبکه روی تراشه

راهگزین ها به طور عمومی شامل یک بلوک ترکیبی برای انجام عملیاتی همچون داوری، مسیریابی،کنترل خطا و بلوک‌های حافظه FIFO که بافرهای ارتباطی درگاه های ورودی و خروجی را سرویس می دهند، می‌باشند.

راهگزین‌ها یا سوئیچ ها شامل یک مدار ترکیبی برای مسیریابی بسته ها به نام واحد مسیریابی منطقی[31] و درگاه های ورودی و خروجی می‌باشند. این واحد به درگاه های ورودی و درگاه های مناسب خروجی متصل می باشد. بسته به برنامه مسیریابی، راهگزین ها ممکن است شامل بافرهایی باشند. هر بسته که به درگاه ورودی راهگزین می رسد، در بافر ذخیره و سپس مطابق با آدرس مقصد درج شده در بسته، توسط واحد مسیریابی، مسیریابی می‌شود.

[28] Through Silicon Via(TSV)
[29] Router
[30] Processing Element(PE)
[31] Routing Logic Block(RLB)



شکل ۱-۹ ساختار یک راهگزین در شبکه روی تراشه(عالمیان ،ساناز،۱۳۹۱)

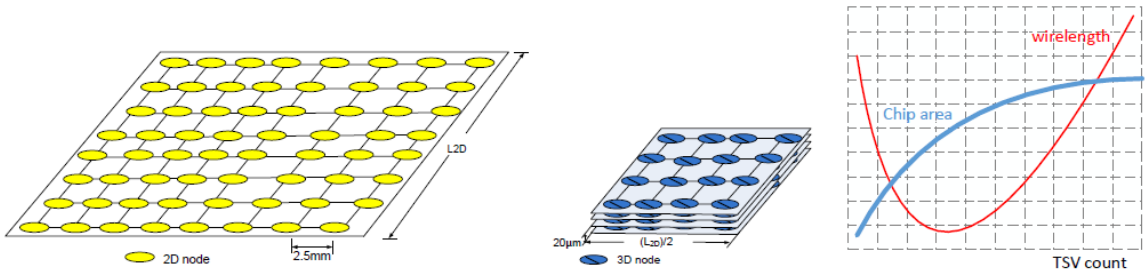
بافرهای ارتباطی FIFO در ساختار شبکه روی تراشه می توانند به عنوان بانکی از ثبات ها یا آرایه های اختصاص داده شده SRAM عمل کنند. برنامه مسیریابی می تواند از نوع سوئچینگ مداری باشد که در واقع نزاع بر سر مسیریابی خواهد بود؛ همچنین مسیریابی می تواند از نوع سوئچینگ بسته ای باشد. در سوئچینگ مداری از بافر استفاده نمی شود. در این روش لینک ها برای یک ارتباط خاص رزرو می شوند. در این حالت زمان دسترسی به لینک به اشتراک گذاشته شده می‌تواند به بخش هایی در طول زمان تقسیم شود و لینک برای یک ارتباط خاص رزرو می‌شود. در روش سوئچینگ بسته‌ای، از آنجایی که لینک ها برای ارتباط ها رزرو نمی شوند، می تواند یک نزاع برسر دستیابی به منابع(بافرها و لینک ها) صورت گیرد. برای غلبه بر مشکل نزاع بر سر منابع، نیاز به برنامه کنترل دسترسی بین ارتباطات می باشد. برنامه کنترل دسترسی این گونه تعریف می‌شود که کدام ارتباط واجد شرایط برای دسترسی به لینک است و کدام ارتباط باید برای این دسترسی منتظر بماند. بسته به نیازهای ارتباطات مختلف، یک کنترل جریان می‌تواند در مسیریابی سوئچینگ بسته‌ای مشاهده شود. این کار از یکی از طریق ذخیره و ارسال[۳۲]،[۳۳](VCT)، سوئچینگ خزشی [۳۴] و یا قرار دادن کانال مجازی[۳۵] امکان پذیر است. (عالمیان،۱۳۹۱)

معماری های سه بعدی

برای بهینه‌سازی سیم‌های اتصال در طولانی و مساحت بزرگ‌تری از طراحی SoC در آی سی دوبعدی سنتی، تکنولوژی یکپارچه‌سازی سه بعدی پیشنهاد شده‌است که به صورت عمودی چندین لایه از دو لایه سیلیکون سه‌بعدی را به هم متصل کند. همانطور که در شکل ۱-۱۰ نشان داده شده، لایه‌های موجود در آی سی سه بعدی سیم بین لایه‌ای کوتاه‌تر و اتصال منابع بیشتری با تعداد کمتری از سیم‌های اتصال کوتاه در یک پیاده‌سازی SoC با تعداد منابع معادل را فراهم می‌کنند. علاوه بر این، فناوری سه بعدی اجازه ادغام ناهمگن فناوری و رشته‌های طراحی مانند RF، دیجیتال، آنالوگ و غیره را در یک تراشه واحد

[32] Store And Forward(SAF)
[33] Virtual Cut Through
[34] Wormhole Switching
[35] Virtual Channel(VC)

می‌دهد. برای تخمین محدودیت‌های طراحی SoC در بعد سوم، شبکه روی‌تراشه (NoC) به عنوان یک راه‌حل امیدوارکننده پیشنهاد شده‌است.



الف)مش دوبعدی ۸×۸ ب)مش سه بعدی۴× ۴×۴ پ)طول سیم و مساحت تراشه با تعداد TSV

شکل۱-۱۰ مقایسه بین مش دوبعدی و سه بعدی(Michael Opoku Agyeman،2015)

در فراهم نمودن موازات قابل پیکربندی و کنترل بر روی لایه عمودی بین لایه‌ای مانند TSVs و سیم‌های درون لایه‌ای قابل تعمیم و مفید هستند. ترکیب شبکه روی تراشه و تکنولوژی یکپارچه‌سازی سه بعدی (شبکه روی‌تراشه‌سه‌بعدی) به معرفی فرصت‌های جدید و چالش‌های طراحی می‌پردازند . یکی از چالش‌های اصلی طراحی، تولیدTSV است که فرآیند پرهزینه و پیچیده‌ای است. علاوه بر این، فرایندهای تولیدTSV دارای نرخ‌های بحرانی بالایی هستند که منجر به تولید ضعیف می‌شود. همچنین لایه‌هایTSVمورد نیاز برای اتصال مقدار قابل‌توجهی از مساحت را در هر لایه از تراشه سه بعدی مصرف می‌کنند.

با این حال اکثر کار شبکه روی تراشه سه بعدی در مقاله ارتباطات عمودی کامل دارند. این امر ممکن است برای بسیاری از کاربردها مطلوب نباشد، زیرا مسیریاب شبکه روی تراشه سه بعدی دارای مساحت بزرگ‌تر و مصرف انرژی بیشتری نسبت به یک روتر عمومی است. بنابراین استفاده از مسیریاب‌های هوشمند با اتصالات داخلی تا حد امکان پذیر می‌باشد که یکی از اهداف این تحقیق می‌باشد. درنتیجه، معماری جایگزین برای کاهش انرژی و مساحت مؤثر پیاده‌سازی شبکه روی تراشه سه بعدی با بکارگیری روترهای دوبعدی و روترهای ترکیبی گذرگاه شبکه روی‌تراشه سه بعدی تک hop برای لایه میانی مورد بررسی قرار می دهیم. کاهش تعداد روترهای سه بعدی ممکن است منجر به تأخیر بیشتر در انتقال بسته‌ها به مقصد آن‌ها شود. از این رو، تمرکز دوم در اینجا بررسی تحلیل مبادله کردن این ساختارها از نظر تأخیر بسته متوسط، مصرف انرژی و مساحت است. سوم، الگوریتم قطعی کوتاه‌ترین مسیر آزاد برای بسته‌های مسیریابی موثر در شبکه روی تراشه سه بعدی مورد بررسی قرار می‌گیرد.

تکنولوژی مجتمع سازی سه بعدی

این صنعت با افزایش حرارت، انرژی، بازده عملکرد مبادله کردن - بیش از از ۲۸ نانومتر صنعت را مجبور کرده است، با مرتب سازی مجدد و پشته آی سی های سه بعدی به عنوان یک فن‌آوری تولید آی سی جایگزین شده‌است.

تولید آی سی سه بعدی از ارتباط سیمی اولیه تا فلیپ فلاپ و اخیراً از TSV تکامل‌یافته است. با استفاده از TSVs، بلوک‌های کاربردی دیجیتال و آنالوگ را می‌توان در عرض چند دقیقه از دست داد، در حالی دانه‌بندی کوتاه‌تر را با انرژی مصرفی کمتر وارد می‌کند. با این حال، با توجه به ITRS، انتظار می‌رود که اندازه قطر TSVs بین سال‌های ۲۰۰۹ تا ۲۰۱۵ از ۱.۵ تا um ۱.۰ داشته باشد در حالی که انتظار می‌رود مساحت یک گیت منطقی ۴ ترانزیستوری از um ۰.۸۲ تا um ۰.۲۰ داشته باشد. بنابراین، بیش از ۱۰۰ ٪ افزایش در نسبت مساحت گیت های منطقی و TSV ها انتظار می‌رود. انتظار می‌رود که یک نسبت بزرگ‌تر نیز در صورتی که منطقه حفاظت‌شده در اطراف TSV ها مورد بررسی قرار گیرد، که برای به حداقل رساندن مسایل تولیدی مانند استرس و لیتوگرافی، مورد نیاز است.

TSVs دارای لینک های عمودی در بعد سوم هستند که به طور کامل از طریق یک فلز عبور می کنند که عمدتاً برای فراهم کردن اتصال الکتریکی بین دستگاه‌ها در دو عنصر مختلف در یک آی سی سه بعدی است. ابتدا، TSVs قبل از فلز پوش‌سازی قبل از اتصال مجدد ساخته می‌شدند در حالی که در مرحله آخر، TSVs بعد از BEOL یا اتصال ایجاد می‌شوند. TSV- دارای قطر بیشتر(معمولا بین ۱۰ تا um ۵۰ دارند) در مقایسه با - اولیه معمولاً بین ۱ تا um ۱۰ بودند. ما در مورد تلاش‌های مربوطه در مقالات تحقیق می‌کنیم که به منظور کاهش تأثیر مساحت ساخت TSV (به خصوص از طریق TSVs - last) در مورد تراشه های سه بعدی پیشرفت کرده است.

تجزیه و تحلیل TSV

این مقاله به بررسی مسأله هزینه تولید شبکه روی تراشه سه بعدی با هدف کاهش تعدا TSVها، میزان مصرف انرژی، مساحت و انرژی مصرفی در عین حفظ عملکرد شبکه پرداخته شده‌است. این هدف از طریق تکنیک‌های مختلف کاهش هزینه تولید شبکه روی تراشه با کارایی بالا در مقالات مختلف که در این مقاله مورد بحث و بررسی قرار گرفته‌اند، انجام شده‌است .

به طور خلاصه، همکاری موجود روی شبکه روی تراشه سه بعدی در حوزه اتلاف حرارت، جایگذاری سوئیچ، حوزه روتر و مصرف توان ارائه شده است و به عنوان یک هدف شناسایی شده‌اند. در نتیجه، مفهوم شبکه روی تراشه سه بعدی به همراه اصول اولیه برای تأکید بر شکاف تحقیقاتی در چندین محصول، حوزه، تولید، عملکرد و شبیه‌سازی فناوری روی تراشه سه بعدی معرفی شده است. در نتیجه، با ترکیب دو بعدی و سه بعدی، الگوریتم های مسیریابی مربوطه و تکنیک‌های طراحی خودکار طراحی شده‌اند. کار آینده شامل اکتشاف و اجرای یک راه‌حل عمومی برای فناوری روی تراشه و محدودیت‌های عملکرد است که بهترین توپولوژی را در بر می‌گیرد که مسأله اتصال بین لایه‌ای را حل می‌کند.(Michael Opoku Agyeman، 2015)

مروری بر فعالیت های مرتبط با شبکه روی تراشه

اسدبلند، مهران زاده(۱۳۹۵) بیان کرد امروزه با پیشرفت علم و فناوری در کوچک شدن اندازه ساخت تراشه ها در حد زیر میکرون، مطالعات زیادی در زمینه شبکه روی تراشه که زیرساخت ارتباطی سیستم های روی تراشه می‌باشند صورت پذیرفته

است. لذا بررسی روش های افزایش قابلیت اطمینان در برابر خرابی در شبکه روی تراشه از اهمیت زیادی پیدا کرده است. دراین مقاله، الگوریتم مسیریابی شبکه روی تراشه سه بعدی توافقی پیشنهادی فاقد بن بست و سردرگمی جهت شبکه روی تراشه با همبندی مش سه بعدی پیشنهاد شده است. الگوریتم مسیریابی پیشنهاد شده در این مقاله توسط شبیه ساز بوکسیم پیاده سازی و ارزیابی گردیده است.

برجاک، مارسلو دانیل [۳۶](۲۰۱۵) بیان کرد یک ارزیابی از شبکه‌ی مستقر بر روی تراشه NoC دارد که تعادل بارگذاری برای سیستم های مستقر روی تراشه SoCS را پیشنهاد می دهد، این تعادل بارگذاری مخصوصاً در نرم‌افزارهای چند رسانه ای که به ترافیک بالایی نیاز دارند تا ارتباطات متعدد را با نرخ بیتی بالا انجام دهند است. شبکه‌روی تراشه بر پایه تکنیکی که اجازه‌ی جای‌گذاری سریع بیت های سریع از جریان های متفاوت در کانال‌های ارتباطی مشابه را می دهد و تعادل بار بدون کنترل مرکزی در شبکه را موجب می شود. به همین منظور،FLIT(بسته‌های انتقالی)های شبکه، بیت های زیادی دریافت می‌کنند و هرFLIT، حاوی اطلاعات مسیریابی خواهد بود.

مسیریاب‌های این اطلاعات فراوان را برای ارزیابی و برنامه ریزیFLIT های درگاه های خروجی مشابه، بکار می‌گیرند. مقایسه های آماری و داده های تجربی، نشان می دهند که روش اتخاذ شده در شبکه، متوسط تأخیر کمتری نسبت به یک شبکه‌ی روی تراشه مبتنی بر حفظ منبع در زمانی که هر دو شبکه بیش از ۸۰ درصد بار پیشنهادی را به کار می‌گیرند، برای جریان های نرخ بیتی متنوع دارد.

جهرامی مقدم، لادن(۱۳۹۵) بیان کرد شبکه روی تراشه معماری نسبتاً جدیدی است که به علت ناکارآمدی معماری گذرگاه مشترک در سیستم روی تراشه اخیراً بسیار مورد توجه محققین قرار گرفته است. بهینگی در مصرف انرژی یکی از نگرانی های طراحی شبکه روی تراشه است. یکی از روش هایی که به ظاهر در پیاده سازی ارتباط روی تراشه مناسب به نظر می رسد، استفاده از یک گذرگاه مشترک است. اما معماری های مبتنی بر گذرگاه توانایی برآورده سازی نیازهای ارتباطی را ندارد زیرا گذرگاه ذاتا غیرمقیاس پذیر است و از طرفی به اشتراک گذاشتن همزمان گذرگاه بین تمامی اجزای در تراشه غیر ممکن است.

عالمیان،ساناز(۱۳۹۱)بیان کرد امروزه با افزایش تعداد هسته های پردازشی در سیستم های روی تراشه، استفاده از شبکه روی تراشه به عنوان یک زیر ساخت ارتباطی بهینه برای انتقال داده بین هسته های پردازشی امری اجتناب ناپذیر است. براین اساس، ضرورت طراحی و پیاده سازی ساختاری بهینه برای آزمون شبکه روی تراشه با در نظر گرفتن سربارهای مختلف، ازجمله توان مصرفی، تأخیر، پهنای باند و مساحت، به یکی از مباحث مورد بحث در طراحی شبکه‌روی تراشه تبدیل شده است.

صبور روح منفرد،محمدامین(۱۳۸۸)شبکه روی تراشه راه حلی کارا، قابل توسعه، پیمانه‌ای و قابل اطمینان را، برای بهره-گیری از ارتباطات روی تراشه در طراحی سیستم های روی تراشه بزرگ ارائه می نماید. با رویکرد بازار و افزایش کاربرد سیستم های قابل حمل، بروندهی و مساحت و انرژی مصرفی به عنوان سه پارامتر مهم در طراحی این سیستم مورد توجه قرار گرفته اند.

[36] Berejuck;Marcelo Daiel

عیسوندی، مریم و همکاران (۱۳۹۱) بیان کردند امروزه شبکه روی تراشه سه‌بعدی به عنوان یک موضوع مهم در طراحی تراشه های با تراکم بالا مطرح شده است. این تکنولوژی از سوی دو هم قرار دادن دو یا چند لایه از شبکه‌روی تراشه دوبعدی به دست می‌آید. تحقیقات نشان داده است که شبکه روی تراشه سه‌بعدی قابلیت رسیدن به توان‌مصرفی کمتر، تأخیر کمتر و گذردهی بیشتر نسبت به شبکه روی تراشه‌ی دوبعدی را دارد. این مزایا به دلیل کاهش طول اتصالات سرزنی در شبکه بر تراشه‌های سه‌بعدی نسبت به شبکه بر تراشه‌های دوبعدی است. در این مقاله به بررسی تحقیقات و مطالعات انجام شده روی شبکه در تراشه‌های سه‌بعدی پرداخته و مزایا، معایب و مشکلات ساخت آن‌ها را از دیدگاه پارامترهای مختلف بررسی می‌کنیم.

فقیهی، عفت و همکاران(۱۳۹۲) بیان کردند به منظور دستیابی به عملکرد بهتر، معماری مبتنی بر گذرگاه مشترک، به سمت معماری شبکه بر تراشه سوق داده شد. در همین راستا، فناوری مدارهای مجتمع سه بعدی به عنوان یک روش خوب برای کاهش طول سیم در مقابل افزایش روز افزون اندازه تراشه ارائه شد. از آنجا که تمایل به یکپارچه سازی صدها و یا هزاران هسته پردازنده در یک تراشه به وجود آمد، نحوه ارتباط کارآمد هسته ها به عنوان یک چالش مطرح شد. در نتیجه، شبکه روی تراشه سه بعدی به عنوان روشی امیدوار کننده برای غلبه بر تنگناها در مدارهای مجتمع سه بعدی معرفی شده است. در این مقاله چهار معماری برای شبکه روی تراشه سه بعدی با عنوان های معماری شبکه روی تراشه خوشه بندی شده با هدف ارائه یک طراحی مناسب برای ارتباطات گروهی و دیگری با عنوان معماری سلسله مراتبی ترکیبی برای شبکه‌روی تراشه چند خوشه ای با هدف بهینه سازی عملکرد کل سیستم و دیگری معماری مبتنی بر ترکیب مش منظم و Floorplan ناهمگن، با هدف پیاده سازی شبکه بر تراشه روی لایه های مجزا و ایجاد فضای اضافی و همچنین معماری مبتنی بر مش خوشه بندی شده با هدف برقراری تعادل بین هزینه و عملکرد شبکه، شرح داده می شود.

مدیری، ارسطو و همکاران(۱۳۹۲) بیان کردند رویکرد جدیدی که توسط چندین گروه تحقیقاتی فعال در زمینه شبکه روی تراشه مطرح شده است این است که اجزای مختلف به صورت یک شبکه روی تراشه قرارگیرند اصطلاح شبکه روی تراشه امروزه در برد مفهومی وسیعی مورد استفاده قرار می‌گیرد که زیرساخت ارتباطی سخت افزار میان‌افزار و خدمات ارتباطی سیستم عامل روشهای طراحی و ابزارهای موردنیاز رادر برمی‌گیرد شبکه روی تراشه یک روش طراحی نوین است که میان ارتباطات بین سیستم های مجتمع پیچیده را امکان پذیرمی سازد و آنها را بهبود می‌بخشد این شبکه ها دارای ساختارمیان ارتباطی می‌باشند که مبادلات و ارتباطاتی همچون اینترنت را میان عناصر شبکه ایجاد می‌کند با این حال شبکه روی تراشه با شبکه های میان ارتباطی سنتی متفاوت هستند دراین مقاله مروری برعلل رویکرد طراحی از سیستم روی تراشه به شبکه روی تراشه با توضیح نمونه ایی از معماری مبتنی برسیستم روی تراشه، مزایا و معایب آن و در خاتمه نگاهی مختصر بر انواع همبندی های شبکه روی تراشه خواهیم داشت.

سری دوی و همکاران [۳۷](۲۰۱۶) بیان کردند اپلیکیشن بافر، مستلزم سرعت baud(بیت در ثانیه)و تضمین خروجی در پردازشگر چند هسته ایی است تکنولوژی ساخت تراشه‌ی دو بعدی با چالش هایی مثل تأخیر سیم مصرف انرژی مواجه است. تکنولوژی ساخت تراشه های سه بعدی ناحیه تراشه در سیستم روی تراشه ها را بسیار کاهش می دهد که این به نوبه‌ی خود

[37] Sridevi, S.Dr.G, Indumathi

تأخیر در ساختارهای اتصالات داخلی را کاهش می‌دهد و بدین ترتیب، قدرت، عملکرد و ظرفیت پذیرش سیستم افزایش می‌یابد. یک تکنیک سوئچینگ پیشرفته به نام لیبل سوئچینگ شبکه روی تراشه (LSNoC)، برای بهبود ظرفیت پذیرش و پهنای باند برای اپلیکیشن های جاری و مهم سطح در شبکه روی تراشه دو بعدی بکار گرفته شده است. تکنیک لیبل سوئچینگ، نسبت به تعداد شناسایی گره‌ها از بیت های کمتری استفاده می کند و نسبت به دیگر تکنیک های سوئچینگ کیفیت بهتری دارد. این مقاله مروری در مورد شبکه روی تراشه در دوبعدی را ارائه می‌دهد و تأکید آن بر چالش هایی اصلی است که جامعه‌ی محقیقین در طراحی شبکه روی تراشه‌های استاندارد دوبعدی با آنها مواجه هستند.

یانگ هافان و همکاران [38](۲۰۱۰) بیان کردند شبکه روی تراشه یک طرح ارتباطی برای ارتباط روی تراشه است. این جایگزین گذرگاه سنتی و اتصالات داخلی کراس بار است زیرا داری پهنای باند بیشتر و مدولاریتی و مقیاس‌پذیری بالاتری است و دارای فواید حاصل از استفاده مجدد از منابع می‌باشد. این تحقیق، بررسی دقیقی از جزئیات مربوط به ساختار شبکه روی تراشه که در بیش از یک دهه‌ی گذشته پیشنهاد و بکار گرفته شده را ارائه می‌دهد. مقایسه‌ی ساختار شبکه روی تراشه از نقطه نظر پارامتر های مختلف، اطلاعات دقیقی نیز در مورد این پارامترهای مربوط به ساختار شبکه روی تراشه نیز ارائه شده است.

مروری بر فعالیت های مرتبط با مسیریابی

اتار، محمد و همکاران [39](۲۰۱۵) بیان کردند شبکه روی تراشه بهم پیوسته، به سرعت جایگزین سایر اشکال بهم پیوسته در طراحی سیستم های مبتنی بر تراشه شده‌اند شبکه‌های بهم پیوسته‌ی موجود، از الگوریتم‌های مسیریابی تطبیق‌پذیر یا بی‌توجه برای تعیین مسیری که یک بسته باید تا مقصدش طی کند استفاده می کنند. صرف نظر از برخی پیچیدگی ها در اجرا، مسیریابی تطبیق پذیر از ویژگی تحمل خطای بهتر استفاده می کند تا توان عملیاتی شبکه را بالا برده و زمان تأخیر را در مقایسه با سیاست های بدون توجه در هنگام مواجهه با ترافیک محکم یا غیر یکنواخت کاهش دهد. اگر چه، مسیریابی تطبیق پذیر می‌تواند با تخریب هر تعادل بار کلی و ذاتی بوسیله تصمیمات محلی خود، به کارایی شبکه آسیب برساند برای ارتقاء تعادل بار در مسیریابی تطبیق پذیر به آگاهی از ترافیک محلی RCA تکنیک نیاز داریم تا تعادل کلی شبکه را تقویت ببخشد. RCA به جای تکیه بر اطلاعات ترافیک محلی، سیاست مسیریابی ترافیک در بخش های مختلف یک شبکه فراتر از مسیریابی های مجاور را پیش می گیرد تجربیات ما نشان می‌دهند کهRCA، کارایی مسیریابی تطبیق پذیر قدیمی را در کنار همه‌ی حجم های کاری ایجاد شده با متوسط زمان تأخیر حراقل ۱۶٪ و حداکثر ۷۱٪ روی یک CMP با ۴۹ هسته کاهش می دهد. در مقایسه با یک مسیریاب تطبیق‌پذیر پایه، منطق کم و کانال کشی متوسطی دارد.

اکبرزاده نجار، فائزه و همکاران (۱۳۹۳) بیان کردند سیستم‌های روی سیلیکون متفاوت از سایر سیستم ها باید به گونه‌ای صحیح طراحی شوند که نیازی به تغییر یا تعمیر در آنها نباشد، زیرا این کار برای آنها عملاً غیرممکن می‌باشد. در حقیقت با نگاه به روش های طراحی اتصالات روی تراشه، مقایسه‌ی این اتصالات با اتصالات گسترده ی روی‌شبکه‌ی اینترنت می تواند

[38] Yang-Haofan,Tripathi Jyoti,Enright Yerger Edward S-Natalie
[1] Muhammad, Athar, Javed, Sethi.Fawnizu,Azmadi,Hussin,Nor Hisham,Hamid

مفید باشد. ارتباطات بر روی تراشه باید پرسرعت باشد. به همین دلیل روش های ایجاد شبکه‌روی تراشه باید ساده و مؤثر باشد و پهنای باند، تأخیر و مصرف توان برای ارتباط بهتر مورد مقایسه قرار گیرند. در این مقاله پیروز اتخاذ تصمیمات مسیریابی بهتر، روش الگوریتم مسیریابی انطباقی مبتنی بر منطق فازی که در آن مسیر بر اساس شرایط موجود شبکه تعیین می‌گردد را پیشنهاد می‌کنیم. این الگوریتم، ترافیک را بین مسیریاب هایی با ازدحام کمتر و یا با ظرفیت بافر بیشتر در جهت دوری از ازدحام شبکه توزیع می‌کند. خروجی کنترلرهای فازهای سطح ازدحام می باشد تا در هر مسیریاب، مسیریاب همسایه با کمترین مقدار ازدحام برای هدایت بسته انتخاب شود. نتایج حاصله از آزمایش بیان کننده آن است که روش مسیریابی مبتنی بر منطق فازی باعث بهبود عملکرد و نیز افزایش قابل اغماض بالاسری سخت افزاری می گردد.

جبرئیل جمالی، محمدعلی و همکاران (۱۳۸۶) بیان کردند الگوریتم های مسیریابی وفقی بر روی همبندی های توری و مش بررسی شده، سپس سه الگوریتم مسیریابی وفقی جدید برای همبندی مش و یک الگوریتم مسیریابی وفقی جدید برای همبندی توری معرفی می‌شود که درکل تعداد گام مسیریابی را کاهش داده و از بن‌بست و گرسنگی Live Lock در امان هستند.

جودزاده، نوشین و همکاران (۱۳۹۲) بیان کردند به سه موضوع کلی در مورد توپولوژی مش در شبکه روی تراشه پرداخته ایم: استفاده از مش چند سطحی برای کاهش تأخیرها، بکارگیری مسیریابی از مبدأ در توپولوژی مش و استفاده از مش روی هم‌گذاری در شبکه روی تراشه بیسیم در توپولوژی مش چند سطحی می بینیم که این معماری، تأخیر و مصرف توان در شبکه روی تراشه‌ها را کاهش داده و قادر به افزایش کارایی ارتباطی درکاربرد های با ترافیک بالا است(تأخیر مش های دو سطحی با ابعاد ۳×۳، ۵×۵ و ۷×۷ را به ترتیب در حدود ۱۲.۵ &۲۱.۴، و ۱۸.۵ & نسبت به مش معمولی کاهش می دهد)مزایای مسیریابی از مبدأ در مقابل مسیریابی توزیع شده، شامل به ترتیب رسیدن بسته ها به مقصد، طراحی سریع تر و ساده تر مسیریاب و احتمال ترکیب مسیریاب ها در یک مسیریاب است. روشی را پیشنهاد می‌کنیم که بتوان مسیرها را به گونه‌ای محاسبه نمود که مسیریابی بدون بن بست بدست آید. درWiNoCها مختصری در مورد مسیریابی بدون بن بست در این شبکه‌ها توضیح داده و با استفاده از نمودارهایی، تأثیر تغییر در پارامتر های مختلف را بر کارایی این شبکه ها نشان داده و با جابجایی گره های اصلی به حالت بهینه می‌رسیم.

رعیت پیشه، علی (۱۳۹۵) بیان کردند از شبکه روی تراشه به عنوان یکی از راه حل های قابل توجه در طراحی زیرساخت های ارتباطی برای سیستم هایembedded استفاده می شود، که در آن ارائه ساختار مقیاس پذیر و توازن ارتباطات بین هسته را باید مدنظر قرار داد. از آنجا که چندین بسته داده را می توان به طور همزمان از طریق شبکه منتقل نمود، باید از یک استراتژی مسیریابی کارآمد به منظور جلوگیری از تأخیر ازدحام استفاده نمود. در این مقاله، از الگوریتم کلونی مورچه ها برای پیدا کردن و بهینه سازی مسیرهای شبکه روی تراشه مبتنی بر مش استفاده شده است در چندین برنامه کاربردی به طور تصادفی نگاشت شده است. بهینه سازی مسیریابی با به حداقل رساندن تأخیر در انتقال بسته های اطلاعاتی بین پردازنده ها بررسی می شود. نتایج شبیه سازی نشان می دهد که الگوریتم مسیریابی کلونی مورچه ها در مقایسه با الگوریتم های دیگر عاری از بن بست است.

شاعری کریمی، زهرا و همکاران (۱۳۹۲) بیان کردند سیستم بروی تراشه، تراشه کوچکی است شامل اجزای مختلفی از قبیل پردازنده، حافظه و مدارات منطقی که برای فراهم کردن ارتباط بین این اجزا، شبکه روی تراشه مورد نیاز است. در این مقاله متداول‌ترین توپولوژی ها به همراه نقاط قوت و محدودیت هایشان مورد ارزیابی قرارگرفته اند. سپس یک الگوریتم اختصاصی به نامACP برای ارزیابی توپولوژی‌های مختلف که امکان تحلیل سریع بر روی بسیاری از توپولوژی های شبکه روی تراشه را فراهم می کند، ارائه شده است. در نهایت سه الگوریتم مسیریابی مبدأ بر روی توپولوژی توری مورد بررسی قرار گرفتند.

صفی خانی محمدزاده،پگاه و همکاران(۱۳۹۶) بیان کردند دلیل افزایش علاقه به شبکه روی تراشه را می‌توان با نگاه کردن به تحول تکنولوژی مدارهای مجتمع و نیاز روزافزون به سیستم های الکترونیکی پیداکرد. ریزپردازنده های مجتمع در حقیقت نقش اساسی در تحول تکنولوژی کامپیوتر دارند. یکی از تفاوت های مهم شبکه روی تراشه با سیستم روی تراشه در مسیریابی صورت گرفته در این شبکه ها می‌باشد. کارایی شبکه روی تراشه به طور گسترده‌ای به الگوریتم های مسیریابی به کار رفته در آنها وابسته است. در سالیان اخیر، الگوریتم‌های مسیریابی زیادی برای شبکه‌روی تراشه طراحی شده است. در این مقاله مفاهیم اساسی الگوریتم‌های مسیریابی و همچنین برخی از مشهورترین الگوریتم های مسیریابی مورد استفاده در شبکه روی تراشه معرفی و مورد بررسی قرار می گیرد.

میرزائی، محمدرضا و همکاران(۱۳۹۳) بیان کردند شبکه روی تراشه به عنوان زیر ساخت ارتباطات سیستم روی‌تراشه با مشکلاتی روبرو بوده‌اند که موجب خرابی در لینک ها و یا گره های شبکه می شدند. برای رفع این مشکلات، الگوریتم های مسیریابی برای شبکه بر روی تراشه پیشنهاد شده اند. در این مقاله، الگوریتم مسیریابی شبکه روی تراشه سه‌بعدی کاملاً انطباقی شایعه ای جهت شبکه روی تراشه با همبندی مش سه‌بعدی پیشنهاد گردیده است. این الگوریتم مسیریابی فاقد بن بست و سردرگمی در شبکه روی تراشه سه بعدی می باشند. الگوریتم مسیریابی پیشنهاد شده در این مقاله توسط شبیه ساز نیز گام پیاده سازی و ارزیابی گردیده است. این الگوریتم ۷۳ ٪ بهبود در گذردهی شبکه داشته است.

صحرایی، هادی و همکاران(۱۳۹۲) بیان کردند شبکه روی تراشه، مجموعه ای از تکنیک ها و ابزارها در زمینه طراحی شبکه و بکارگیری آنها برای طراحی سیستم روی تراشه و دنباله ای از ایده سیستم روی تراشه است. در یک شبکه روی‌قطعه منابع بر اساس تعلم و ترتیب خاصی کنار هم دیگر قرار دارند. به عنوان مثال می توان به توپولوژی‌های مالی، تور و... اشاره نمود. کارایی تنوع و ابعاد توپولوژی به طور گسترده ای وابسته به روش سوئیچینگ و تکنیک مسیریابی به کار رفته در آن است. یکی از انواع تقسیم بندی الگوریتم های مسیریابی تقسیم آنها به دو دسته قطعی و وقفی است. در این مقاله با استفاده از تکنیک های زمان بندی سرویس به ترتیب، تقویتی گردشی و با تعریف و تأکید بر پارامتری جدید به نام عدد مسیر، همچنین با استفاده از یک سیستم فازی، یک الگوریتم مسیریابی تا حدی وقفی برای شبکه روی تراشه دوبعدی ارائه داده می‌شود که قادر به افزایش کارایی و توان عملیاتی است. در الگوریتم پیشنهادی میانگین تأخیری که هر بسته با آن مواجه می‌شود و در شرایط مختلف مثل بار ترافیکی کم، متوسط، زیاد و نسبتاً زیاد بسیار کمتر از الگوریتم های مشابه قبلی است در این الگوریتم در ازدحام های بالا تأخیر بسته نسبت به الگوریتم های دیگر حدود ۲۵ درصدکمتر است.

جوی چانگ ان [۴۰]و همکاران (۲۰۱۳) بیان کردند ارتقاء و بهبود مورچگان ACO یک روش برای حل مشکل است که در تحقیقی روی رفتار کلونی مورچه ها در دنیای حقیقی معرفی شد. در دامنه شبکه روی تراشه، ردیابی تطبیق‌پذیر مبتنی برACO، اجرا شد تا با اطلاعات تاریخی به تعادل بار دسترسی پیدا کنیم. اگر چه هزینه‌ی جدول فرمون شبکه‌یACO بسیار بالاست. این هزینه یا توازن در شبکه روی تراشه به سرعت رشد می‌کند. برای حل این مشکل، طراحی الگوریتم ACO با ملاحظات بیشتر و توجه بیشتر به معماری سیستم ضروری به نظر می‌رسد. منابع سخت افزاری موجود و انتقال مناسب از تشبیه به کلونی مورچگان هم می‌تواند در طراحی این الگوریتم برای حل مشکل کمک کننده باشد. در این مقاله ویژگی های شبکه روی تراشه را بررسی می‌کنیم و موارد مشابه آن را در اجرا ACO روی شبکه روی تراشه بکار می‌گیریم.یک ردیابی ناحیه ای مبتنی بر ACOR(RACO) را با ایجاد جداول ناحیه‌ای ایستا و پویا برای کاهش هزینه جدول، اشتراک اطلاعات فرومون و به کارگیری مدلی برای تعادل بار بیشتر ارائه شده است. نتایج تجربی نشان می‌دهند، RACO را می‌توان در حافظه‌ی کم اجرا نمود تا هزینه افزایش کمتری داشته باشد و کارایی بهتری در تعادل بار در مقایسه با روش ردیابی مبتنی بر ACO قدیمی از خود نشان می دهد.

جمشیدی گوهرریزی، وحید و همکاران (۱۳۸۴) بیان کردند استفاده از الگوریتم‌های تحمل پذیر خطا متداول در شبکه‌های کامپیوتری بخاطر محدودیت در سطح و منابع پردازشی برای تراشه های شبکه‌ای امکان پذیر نیست. بنابراین روشهای جدیدی برای تحمل پذیر خطا در ارتباطات تراشه های شبکه ای باید طراحی شود. در این مقاله دو الگوریتم جدید پیشنهاد شده است و با الگوریتم جویباری از نظر تحمل پذیری خطا، تأخیر، سربار شبکه و انرژی مصرفی مقایسه شده اند نتایج نشان می دهد که الگوریتم های پیشنهادی مقاومت بیشتری در مقابل خطاها بزرگ انتخاب می‌شود، تولید بسته های افزونه توسط سوئیچ منبع مشکل بوده و بیشتر k دارند. در الگوریتم جویباری، وقتی وقت سوئیچ منبع، صرف تولید و ارسال این بسته ها می شود و در نتیجه به درخواست های دیگر پاسخ نمی دهد. بنابراین پیاده‌سازی این الگوریتم به یک نرخ تولید بسته پایین تر محدود می‌شود. الگوریتم تقسیم کار در مقایسه با الگوریتم تکثیر، عملکرد بهتری از خود نشان می دهد، ولی الگوریتم تکثیر سربار سطحی کمتری دارد. چون در لایه شبکه، روابطی برای تخمین تعداد در نظر گرفته نمی شود. الگوریتم های پیشنهادی از RP بسته های افزونه پیاده سازی نمی شود و در فرمت بسته نیز بیت های لحاظ پایین بودن انرژی مصرفی نیز بعد از الگوریتم جویباری قرار می‌گیرند.

سیاوا کانکالا و همکاران [۴۱](۲۰۱۸) تکنولوژی مقیاس پذیری، مسایل ارتباطی بین اجزا سیستم‌روی تراشه ها را کاهش می‌دهد. شبکه روی تراشه دارای معماری جدید برای مقابله با سربار ارتباطی است و با روترها و عناصر پردازش ساخته شده‌است. به دلیل وقوع خطا، مسیریاب روی تراشه به طور موقت و / یا به طور دائم غیرفعال شده‌است. یک روتر غیرفعال بر روی کل سیستم تأثیر شدیدی می‌گذارد در نتیجه اصلاح خطاها نه تنها برای یک روتر منفرد بلکه در کل سیستم روی تراشه نیز صادق است. یک کد همینگ تغییریافته(MHC)برای تشخیص و تصحیح خطاهای گذرا ارائه شده است. ورودی داده کدگذاری شده در گروه‌ها طبقه‌بندی می‌شود و هر MHC برای هر گروه با قابلیت اطمینان بالایی از این روش اعمال می‌شود.

[40] Jui Chang-En,Kai Hsien-Hsien,Hao Chao-Chih,Yen Lin-Shu,Yeu Wu-An
[1] Siva Kanakala, Ashok Kumar, Dananjayan Perumal

نتایج شبیه‌سازی ثابت می کند که MHC تأخیر کاهش و سرعت افزایش‌یافته را در مقایسه با کد همینگ مرسوم (HC) کاهش می‌دهد.

من کیم جانگ [۴۲] و همکاران (۲۰۰۵) بیان کردند برای کارایی، قابلیت اطمینان و بهره‌وری انرژی یک شبکه روی‌تراشه در این اواخر، ابتدا یک معماری روتر حساس به مسیر جدیدی را برای کاربردهای کم تأخیر معرفی می کنیم. سپس، یک مدل مبتنی بر تئوری برای ارزیابی عملکرد و رفتار انرژی در شبکه روی تراشه ارائه می کنیم. سپس از این مدل برای نشان دادن اثربخشی مسیریاب پیشنهادی استفاده می‌شود. عملکرد (تأخیر متوسط) و مصرف انرژی از مدل تحلیلی با نتایج به‌دست‌آمده از یک شبیه‌ساز دور - دقیق تایید می‌شوند. در نهایت، کشف خطا و مکانیزم‌های تصحیح خطا را مورد بررسی قرار می‌دهیم که تعادل عملکرد انرژی قابلیت اطمینان متفاوت را فراهم کرده و مدل خود را برای ارزیابی شبکه روی تراشه در حضور این طرح‌های حفاظت از خطا گسترش می‌دهیم. اکتشاف قابل‌اعتماد ما با معرفی مجموعه‌ای از تکنیک‌های حفاظت از خطای گذرا، هم معماری و هم الگوریتمی، برای مقابله با مسائل قابلیت اطمینان در اجزای سخت‌افزاری فردی روترها به اوج خود می‌رسد. ما یک راه‌حل کامل را برای حفاظت در برابر خطاهای اتصال سنتی و آشفتگی‌های روتر داخلی پیشنهاد می کنیم بدون اینکه تأخیر قابل‌توجهی، مساحت و توان بالای سرمان ایجاد شود.

م. هارمنانی حیدر [۴۳] و همکاران(۲۰۱۰) بیان کردند این مقاله روشی را برای اختصاص وظایف به گره‌ها در یک گره دوبعدی و تعیین موقعیت گره‌ها بر روی شبکه با استفاده از تابکاری شبیه‌سازی شده ارایه می کند. این روش یک الگوریتم مسیریابی کارآمد جدید را پیشنهاد می کند که بلوک را به حداقل می‌رساند در حالی که خروجی پهنای باند را افزایش می‌دهد. این روش اجرا می‌شود و معیارهای [۴۴] مختلف تلاش می‌شود.

لو وانگ و همکاران [۴۵](۲۰۱۷) بیان کردند مقیاس بندی تهاجمی تکنولوژی cmos اجازه ساخت تراشه‌های بسیار یکپارچه را می‌دهد و امکان طراحی سیستم‌های چندپردازنده روی تراشه را فراهم می‌سازد . با این حال، این مسأله چالش‌های گسترده‌ای را به همراه دارد. با هدف مقابله با خطاهای دائمی بر روی اجزای مسیریاب، عملکرد بالا ، قابلیت اطمینان بالا و طراحی مسیریاب با هزینه پایین مبتنی بر یک مسیریاب چندمرحله‌ای کلی پیشنهاد شده‌است. پنج استراتژی مقاوم به خطا در مسیریاب قابل‌اطمینان ما به کار گرفته می‌شوند. ما یک استراتژی مسیریابی مضاعف برای خطاهای بافر ورودی (rc)، یک استراتژی مسیریابی مضاعف برای خطاهای محاسباتی مسیریابی (rc) ، یک استراتژی انتخاب پیش‌فرض برای خطاهای تخصیص سوییچ (va)، یک استراتژی انتخاب داور برای خطاهای تخصیص سوئیچ (sa) و یک استراتژی باس دوبل برای خطاهای افقی استفاده می کنیم. طراحی بهینه خطوط لوله و الگوریتم مسیریابی برای حفظ عملکرد در تحمل خطا به ویژه تحت باره‌ای شبکه سنگین مورد استفاده قرار گرفته‌است. علاوه بر این، مسیریاب پیشنهادی قابلیت اطمینان بالاتری را با مصرف سخت‌افزاری پایین‌تر نسبت به طرح‌های قابل‌اطمینان قبلی نشان می‌دهد.

[2] Jongman Kim ; Dongkook Park ; Chrysostomos Nicopoulos ; N. Vijaykrishnan ; Chita R. Das
[1] Haidar M. Harmanani
[2] benchmarks
[3] Lu Wang، Sheng Ma، Chen Li، Wei Chen

رحمانی امیر محمد و همکاران (۲۰۱۱)بیان کردند در این مقاله، یک معماری کارآمد برای بهینه‌سازی عملکرد سیستم، مصرف توان و قابلیت اطمینان شبکه‌های مش سه بعدی پیشنهاد شده‌است. شبکه Stacked یک معماری محتمل است که از تأخیرهای اتصال بین لایه‌ای کوتاه بهره می‌برد در حالی که از حافظه‌های میانی ناکارآمد رنج می‌برد. برای مقابله با این مساله، یک مکانیزم ارتباط بین لایه‌ای برای افزایش استفاده از بافر، متعادل‌سازی بار و تحمل نقص سیستم ایجاد شده‌است. این مکانیزم از یک الگوریتم مسیریابی مقاوم به تراکم و شبکه برای برقراری ارتباط عمودی بهره می‌برد. برای تخمین کارایی معماری پیشنهادی، سیستم با استفاده از یکنواخت، نقطه داغ ۱۰ ٪ و الگوهای منفی توزیع نمایی (NED) شبیه‌سازی شده‌است. علاوه بر این، یک رمزگذار ویدیوکنفرانس به عنوان یک کاربرد واقعی برای تحلیل سیستم مورد استفاده قرار گرفته‌است. آزمایش‌های گسترده ما نشان‌دهنده بهبود عملکرد و بهبود عملکرد در مقایسه با یک شبکه معمولی سه‌بعدی است.

مروری بر فعالیت های مرتبط با TSV

خان[۴۶] و عبدالله رضا بن عبدالله[۴۷](۲۰۱۸)بیان کردند در طول دهه‌ی گذشته، تحقیق زیادی بر روی شبکه روی تراشه سه بعدی به عنوان یک راه حل برای کم کردن تنگناهای اتصالات میانی و کاهش مصرف انرژی در طراحی سیستم‌روی تراشه‌ای انجام شده است. سیستم های شبکه روی تراشه سه‌بعدی دارند در مقابل نواقص زیادی که توسط کراستاک، تابش، شکست اکسید و غیره ایجاد شده اند، آسیب پذیر می‌شوند. در نتیجه یک نقص ساده در یک ترانزیستور که توسط یکی از این عوامل ایجاد شده است ممکن است کل اعتماد سیستم را به خطر بیاندازد در حالیکه نقص می تواند در تحویل پیام ناقص، نارضایتی زمانی یا حتی بعضی اوقات خرابی کل سیستم نشان داده شود. این یک تحلیل دقیق از نواقص و یک روش ارزیابی کارآمد برای تقریب زدن قابلیت اطمینان یک سیستم شبکه‌روی‌تراشه را ارائه می دهد. همچنین این فصل یک معماری و طراحی سخت افزار از سیستم شبکه روی تراشه سه بعدی برمبنای TSV را ارائه می‌دهد که می تواند نواقص اصلی را حل کند که می‌توانند در این سیستم ها اتفاق بیفتد.

اشکان اقبال و نادر باقرزاده(۲۰۱۵)بیان کردند قابلیت اطمینان یکی از چالش برانگیزترین مشکلات در سیستم سه‌بعدی روی‌تراشه است. تحلیل قابلیت اطمینان برای مراحل اولیه فرآیند تولیدبسیار ضروری است تا از طراحی مجدد هزینه بر یک سیستم هدف جلوگیری شود. این مقاله اشکالات فیزیکی بالقوه یک معماری TSV-based،شبکه‌روی‌تراشه سه‌بعدی را بوسیله هدف‌گیری اجزای دوبعدی شبکه روی تراشه و اتصالات‌آنها، دسته‌بندی می‌کند. دراین مقاله، مسائل TSV، مشکلات حرارتی و تأثیر تک رخداد(SEE)، بررسی و دسته بندی می‌شوند تا استانداردهای ارزیابی برای پیداکردن حالت جهندگی طرح های شبکه روی تراشه سه بعدی ارائه گردند. یک تحلیل قابلیت اطمینان برای منبع اصلی عیب‌ها در این مقاله گزارش شده است که به طور جداگانه‌ای براساس میانگین زمان برای شکست (MTTF) آورده شده اند. احتمال شکست TSVتوسط جفت‌گیری القایی و جفت‌گیری خازنی نیز مورد بحث فرار گرفته است. بالاخره، این مقاله یک تحلیل قابلیت اطمینان در مورد خطاهای بهم پیوسته که بر TSV اثر می گذارند را ارائه می دهد. این تحلیل رسمی برای تخمین قابلیت ارتجاع اجزای مختلف به منظور

[46] khanh N.Dang
[47] Abderazek Ben Abdallah

سبک کردن فراوانی هزینه طراحی یا بررسی کارایی هر روش پیشنهادی برای معماری های شبکه روی تراشه سه بعدی ضروری و حیاتی است.

اپوکوآگیمان مایکل[۴۸](۲۰۱۵) بیان کرد شبکه روی تراشه سه بعدی، یک علاقه رو به رشد را به منظور حل نیازهای ارتباطی روی تراشه سیستم‌های تعبیه‌شده چند هسته‌ای آینده به خود جلب کرده‌اند. با این حال، شبکه روی‌تراشه سه بعدی به دلیل مسائلی مانند هزینه بالای و پیچیدگی ساخت سیم‌های عمودی سه‌بعدی، حافظه بزرگ‌تر، مساحت و توان مصرفی سه بعدی روی تراشه، به طور کامل مورد پذیرش قرار نگرفته اند. این مقاله با تمرکز بر روی مدل‌سازی و ارزیابی توپولوژی روی تراشه، الگوریتم های مسیریابی و تکنیک‌های نگاشت برای رسیدن به سطح بهینه، توان و پارامترهای عملکردی(تأخیر و توان عملیاتی) خلاصه‌ای از تکنیک‌های بهینه‌سازی روی تراشه را ارائه می‌دهد. به خصوص، ما در مورد معماری‌های مسیریاب سه‌بعدی و ترکیبات احتمالی آن‌ها تحقیق می‌کنیم که هدف از آن دستیابی به مساحت کم‌تر، مصرف توان اجزای ارتباطی روی تراشه با حداقل عملکرد اجرایی است.

سیدآقای رضایی سیدحسین و همکاران(۲۰۱۶) بیان کردند مهم‌ترین چالش در تکنولوژی یکپارچه‌سازی سه‌بعدی در حال ظهور، دمای بالاتر، به ویژه در لایه‌هایی است که از مخزن گرم دورتر هستند، در مقایسه با تراشه های مسطح دو بعدی. دمای بالا، به نوبه خود، حساسیت مدار را به خطاهای دائم و متناوب افزایش می‌دهد. از طرف دیگر، لینک‌های عمودی سریع و پهنای باند بالا در تکنولوژی ادغام سه بعدی افق‌های جدیدی را برای نوآوری‌های طراحی شبکه روی تراشه باز کرده‌اند. در این مقاله ما از این لینک‌های عمودی با تأخیر پایین برای طراحی معماری‌سه‌بعدی مقاوم به خطا استفاده می‌کنیم. در این معماری، نقص‌های دایمی و متناوب در لینک‌ها و کراس بارها، با قرض گرفتن پهنای باند idle از پیوندهای مجاور و کراس‌بار، نادیده گرفته می‌شوند. نتایج ارزیابی تحت حجم‌های کاری مصنوعی و واقعی نشان می‌دهد که مکانیزم تحمل خطا پیشنهاد شده قابلیت اطمینان بالاتری و افت عملکرد پایین را در مقایسه با طرح‌های سه‌بعدی تحمل به خطا، ارایه می‌دهد.

اکبری، سارا و همکاران(۲۰۱۲) بیان داشتند که روی تراشه سه‌بعدی برای ارتباط مناسب برای تراکم بالای دوبعدی درونی بسیار مناسب هستند. این شبکه‌ها در مقایسه با شبکه روی تراشه دارای پهنای باند ارتباطی کوتاه‌تر می‌باشند و از سیم‌های ارتباطی سریع و مؤثر در پیوندهای عمودی بهره می‌برند. متاسفانه، فرآیند ساخت ارتباطات TSV هنوز بالغ نشده است، که منجر به بازده پیوند عمودی ضعیف می‌شود. در این مقاله، ما این چالش را مورد توجه قرار داده و AFRA را معرفی می‌کنیم، یک الگوریتم مسیریابی بدون بن‌بست برای شبکه روی تراشه سه بعدی مبتنی بر شبکه که خطاهای مربوط به پیوندهای عمودی را تحمل می‌کند. AFRA برای ساده بودن، عملکرد بالا و استحکام طراحی شده‌است. سادگی با اعمال ZXY و مسیریابی XZXY در غیاب و حضور خطا به دست می‌آید. علاوه بر این، AFRA، همانطور که ثابت خواهد شد، زمانی عاری از بن‌بست است که همه پیوندهای معیوب عمودی همان مسیر را داشته باشند. این امر به مسیریابی اجازه می‌دهد تا کانال‌های مجازی برای عملکرد ذخیره شوند به جای اینکه آن‌ها را برای اجتناب از بن‌بست مورد استفاده قرار دهند. در نهایت، AFRA استحکام را ارائه می‌دهد، که به معنی پشتیبانی از اتصال برای همه جفت ممکن گره‌های ارتباطی در نرخ‌های خطای بالا است. AFRA با

[3] Michael Opoku Agyeman

وجود شبیه‌سازی شبکه دقیق، ارزیابی می‌شود و با مسیریابی مسطح تطبیقی مقایسه می‌شود . نتایج نشان می‌دهند که AFRA به طور قابل‌توجهی بهتر از مسیریابی planar در هر دو الگوی ترافیکی و ترکیبی عمل می‌کند. به علاوه، نیرومندی AFRA به صورت تحلیلی محاسبه می‌شود.

احمدزاده، شهرزاد(۱۳۹۵) بیان کرد با پیشرفت تکنولوژی و رشد روزافزون سیستم‌روی تراشه، طبق قانون مور، ساختارهای درونی تراشه باعث می‌شدکه ازکارایی آن کاسته شود. امروزه شبکه روی تراشه های سه بعدی یک موضوع چالش برانگیز در طراحی تراشه ها با تراکم بالا مطرح شده است. تحقیقات نشان می دهدکه قابلیت رسیدن به توان مصرفی کمتر، تأخیرکمتر وگذردهی بیشتر نسبت به شبکه روی تراشه های دو بعدی، را دارد. موضوع اصلی در رسیدن به این هدف، تأثیر الگوریتم های مسیریابی روی این تراشه ها و مکانیزم تصمیم گیری آنها در مواجه با خطا، خصوصاً در اتصالات TSV اتصالات عمودی می‌باشد. تحمل خطا و قابلیت رهایی از بن بست، از جمله ویژگی های اصلی در یک الگوریتم مسیریابی کارا و مؤثر می باشد که بر ازدحام بار و کنترل ترافیک در لایه های خاص روی تراشه‌ی سه بعدی، اثرگذار است. در این مقاله به تحلیل موارد ذکر شده می پردازیم.

سارو دا و همکاران[۴۹] (۲۰۱۷)بیان کردند شبکه روی تراشه سه بعدی یک امکان برای طراحی تراشه های چندهسته‌ای با عملکرد بالا و انرژی کارآمد است. شبکه روی تراشه سه بعدی که محبوبیت دارند،اکثراً از لینک های عمودی‌سلیکیونی TSVبه عنوان ستون های ارتباطی بین سطوح استفاده می‌کنند.TSVها در شبکه روی تراشه به دو دلیل فشار حجم‌کاری القاء شده و تداخل ظرفیت الکتریکی به شکست منجر می‌شود. این شکست اثرات منفی روی کل عملکرد شبکه روی تراشه سه بعدی دارد. در این مقاله، ما اثرات فشار حجم کاری القاء شده و تداخل را بر روی متوسط زمان شکست TSV (MTTF[50]) و طول عمر شبکه روی تراشه سه بعدی را مورد بررسی قرار می دهیم. ما نشان می‌دهیم که اگر فقط اثرات الکترومهاجرت[۵۱] را در TSVها به دلیل فشار حجم کاری القاء شده در نظر بگیریم، سپسMTTF تخمین بزنیم، طول عمر شبکه روی تراشه سه بعدی بسیار خوش بینانه خواهد بود. باتوجه به ترکیب اثرات حجم کاری و تداخل نویز، طول عمر شبکه روی تراشه سه بعدی به طور قابل توجهی کاهش می یابد. بدین ترتیب، ما نشان می‌دهیم که یک روش ارزیابی اختصاصیTSVبا توجه به اثرات فشار حجم کاری القاء شده و تداخل نویز طول عمر شبکه روی تراشه با فاکتور ۴.۶ در مقایسه با حجم کاری برای یک بودجه اختصاصی ۵ درصد افزایش می یابد.

مروری بر فعالیت های الگوریتم نگاشت

خدادادی، غلامحسین و همکاران(۱۳۹۴) بیان کردند یک مطالعه جامع در مورد نگاشت در شبکه روی تراشه می‌پردازیم. از سال ۲۰۰۱ مفاهیم اولیه شبکه روی تراشه توسط آزمایشگاه سیستم های کامپیوتری دانشگاه استنفورد روی تراشه انجام شد. نگاشت یکی از ابعاد مهم در تحقیقات شبکه روی تراشه محسوب می شود. الگوریتم های متفاوتی برای انجام نگاشت معرفی شده اند که هدف آنها معمولاً بهینه کردن طراحی، حداقل کردن توان مصرفی و زمان اجرای مربوط به یک کاربرد است. با

[49] Sourav Das, Janardhan Rao Doppa, Partha Pratim Pande, Krishnendu Chakrabart
[50] Mean-Time-to-failure
[51] Electromigration

توسعه محصولات و برنامه‌های کاربردی، رقابت ها و فرصت های زیادی در زمینه معماری شبکه‌روی تراشه فراهم شده است. در این مقاله ضمن بررسی دقیق تعدادی از کارهای انجام شده در این زمینه، به بررسی الگوریتم ها و روشهای مختلف نگاشت می پردازیم.

نمازی علیرضا و همکاران(۲۰۱۷) بیان کردند این مقاله یک رویکرد نگاشت وظیفه آگاه از قابلیت اطمینان را در یک پلت فرم بسیار هسته‌ای در زمان طراحی برای برنامه‌های کاربردی با نمودارهای وظیفه مبتنی بر DAG ارائه می‌دهد. هدف اصلی این رویکرد طراحی یک سناریوی نگاشت کاری است که آستانه قابلیت اطمینان از پیش تعیین‌شده را برآورده می‌کند و تضمین حداقل عملکرد را تضمین می‌کند. روش پیشنهادی از تکنیک تکرار رأی اکثریت برای تحقق قابلیت پوشش خطا استفاده می‌کند. یک مدل قابلیت اطمینان کمی نیز برای این پلت فرم پیشنهاد شده‌است. پلت فرم ما یک معماری کاملاً همگن با اتصال شبکه با شبکه با استفاده از الگوریتم مسیریابی XY محور سنتی است. روش تکرار ۳ مرحله‌ای جدید برای تعداد نامحدودی از انواع خطا قابل‌اجرا می‌باشد. تمام قسمت‌های سکو از جمله هسته‌ها، لینک ها و روترها در معرض شکست قرار می‌گیرند. ما از تکنیک بهینه‌سازی MNLP برای یافتن نگاشت بهینه گراف وظیفه ارائه شده استفاده کردیم. نتایج تجربی نشان می‌دهد که رویکرد نگاشت کار پیشنهادی ما نه تنها با آستانه قابلیت اطمینان از پیش تعیین‌شده مطابقت دارد بلکه کاهش پیچیدگی زمان قابل‌توجهی با توجه به اکتشاف فضای جامع حاصل می‌شود.

علیخانی اصل الناز و میدیا رشیدی(۲۰۱۶) بیان کردند به دلیل افزایش تعداد هسته، قرارگیری هسته در بستر شبکه روی تراشه به یک مسأله مهم تبدیل شده‌است. اگر بتوانیم هسته برنامه را به یکدیگر نزدیک کنیم تا آن‌ها را با الزامات ارتباطی بیشتری قرار دهیم، پارامترهای عملکردی بهبود خواهند یافت و شبکه کاراتر خواهد بود. در این مقاله، ما دو الگوریتم های ابتکاری با پیچیدگی پایین را برای نگاشت برنامه بر روی شبکه روی تراشه پیشنهاد می‌کنیم تا تأخیرها را بهبود بخشد. علاوه بر این، یک روش برای استخراج یک گراف چکیده از یک گراف اصلی پیشنهاد شده‌است، بنابراین با استفاده از این روش resentمی‌توانیم کاربردها را در دو الگوریتم پیشنهادی نگاشت کنیم. علاوه بر این، ما از روترها که می‌توانند بسته‌ها را در یک چرخه از مبدأ به مقصد هدایت کنند، استفاده می‌کنیم. الگوریتم پیشنهادی و مقالات قبلی بر روی دو کاربرد واقعی VOPDو MPEG - 4 مقایسه شدند و نتایج گزارش شد.

کومار ردی بچو نارش [۵۲] و همکاران(۲۰۱۸) بیان کردند به دلیل عملکرد و قابلیت اطمینان، شبکه روی تراشه یک تکنیک اتصال به نسل آینده برای هسته‌های چندگانه در یک تراشه تلقی می‌شود. این مقاله یک تکنیک نگاشت مرکزی سطح سیستم را پیشنهاد می‌کند که عملکرد کل سیستم را بهبود می‌بخشد، در حالی که خطاهای موقتی و خطاهای دائمی در سیستم با استفاده از کده‌ای تصحیح خطا و هسته یدکی را اصلاح می‌کند. این تکنیک عمدتاً بر روی نقشه اصلی و خطاهای سیستم متمرکز است. این امر منجر به نگاشت هسته قابل‌اعتماد و عملکرد بهبود یافته در زمانی می‌شود که خطای مرتبط با خطا روی یک NoC رخ می‌دهد. در نهایت، روش نگاشت هسته‌ای پیشنهادی شبیه‌سازی شده و بر روی بورد FPGA تایید شده‌است (- FPGA Kintex - 7 ارزیابی FPGA ۷۰۵KC).

[1] Naresh Kumar Reddy Beechu,Vasantha Moodabettu Harishchandra,Nithin Kumar Yernad Balachandra

کیانی وحدانه،میدیا رشیدی[۵۳](۲۰۱۶)بیان کردند مدارهای مجتمع سه‌بعدی جایگزین‌های مناسبی برای مدارهای مجتمع دوبعدی با استفاده از مزیت استفاده از عملکرد بهتر و بسته‌بندی هستند. از این رو، به شدت مورد توجه محققین قرار گرفته‌اند. از طرف دیگر، تراشه‌های مبتنی برتراشه چندهسته‌ای پتانسیل خوبی برای اجرای همزمان چندین کاربرد دارند. با این حال، استفاده از این روش منجر به افزایش تداخل بین برنامه‌ها می‌شود که منجر به کاهش عملکرد هر برنامه می‌شود. از این رو، نگاشت های مربوط به کاربری‌های مختلف بر روی گره‌های معماری یک مسأله بسیار مهم است. در این مطالعه، با توجه به مفهوم تقسیم‌بندی، یک روش جدید برای تهیه نگاشت کاربردهای متعدد در زمان اجرا بر روی پلت فرم سیستم بی سیم مبتنی بر تراشه(mpsoc) که در آن بیش از یک کار می‌تواند توسط هر عنصر پردازش(PE) پشتیبانی شود. در الگوریتم دوم، با توجه به تعداد برنامه‌ها که همزمان اجرا می‌شوند، بخش‌بندی شبکه به طور پویا تغییر خواهد کرد تا سربار ارتباطی و تراکم را کاهش دهد که منجر به نگاشت وظیفه کارآمدتر می‌شود را به حداقل برساند. نتایج شبیه‌سازی نشان می‌دهد که الگوریتم پیشنهادی دوم افزایش IPBN در مقایسه با الگوریتم NPBN[54] و اولین الگوریتم پیشنهادی ما عملکرد IPBN اصلی را با کاهش زمان اجرای کل، میانگین تعدادhop ، میانگین بار کانال و مصرف انرژی افزایش می‌دهد.

مروری بر فعالیت های شبکه نوری روی تراشه

هیپ خان خانیراج پراد [۵۵] و همکاران(۲۰۱۲) بیان کردند تراشه مبتنی بر شبکه (شبکه روی تراشه) بهترین ستون ارتباطی برای تراشه چند هسته ای مدرن است. با این حال، انتقال داده چند رشته‌ای با استفاده از اتصالات سیم کشی به اتلاف انرژی بالا و تأخیر منجر می‌شود. اتصالات میانی به عنوان یک جایگزین امیدبخش برای اتصال کوتاه فلز / دی‌الکتریک به عنوان یک اتصال کوتاه بهم‌پیوسته به عنوان یک جایگزین مناسب مطرح شده‌اند. چندین معماری جدید با استفاده از waveguides فوتونی به عنوان اتصالات میانی پیشنهاد شده‌اند که توانایی کاهش اتلاف انرژی در انتقال داده‌ها را به طور قابل‌توجهی دارا می‌باشند. با این حال، مسائل مربوط به قابلیت اطمینان ناشی از تلفات موج بر موجبر و هم پوشانی کانال مجاور در موجبر فوتونی تا به امروز مورد توجه چندانی قرار نگرفته است. در این مقاله ما عملکرد یک ساختار روی تراشه فوتونی را که با تقسیم بندی موج‌بر به بخش‌های کوچک‌تر برای محدود کردن تلفات موج‌بر طراحی شده‌اند، مورد ارزیابی قرار می‌دهیم. نشان‌داده شده‌است که این مدل چند بخش‌بندی مبتنی برروی تراشه (فوتونیMSB – PnoC)، سطوح بالاتری از قابلیت اطمینان را نسبت به شبکه‌های فوتونی در نظر گرفته‌است. با استفاده از شبیه‌سازی‌های در سطح سیستم در این کار، نشان می‌دهیم که MSB - PNoC عملکرد بهتری دارد و اتلاف انرژی کم‌تر در مقایسه با شبکه‌های معمولی دیگر است، در حالی که قابلیت اطمینان بهتر در انتقال داده‌ها نسبت به شبکه‌های فوتونی دیگر نیز فراهم می‌کند.

مشتاق عظام [۵۶] وهمکاران(۲۰۱۳) بیان کردند شبکه روی تراشه یک ابزار بسیار کارآمد برای افزایش کارایی در مدارهای دیجیتالی ارائه می‌دهد. این مقاله یک پیاده‌سازی روی تراشه را که به طور خاص به سمت طراحی‌های مبتنی بر FPGA مورد

[53] Vahdaneh Kiani, Midia Reshadi
[54] non-partitioning best neighbor
[55] Pradheep Khanna Kaliraj ; Patrick Sieber ; Amlan Ganguly ; Ipshita Datta ; Debasish Datta
[1] Uzma Mushtaq, Osman Hasan, Falah Awwad

هدف قرار گرفته‌است، توصیف می‌کند. پیاده‌سازی ما مبتنی بر یک معماری تغییر مدار سبک موسوم به NoC قابل‌برنامه‌ریزی (PNoC) است. این دستگاه در زبان توصیف سخت‌افزار Verilog ثبت شده است و با استفاده از دستگاه Xilinx Virtex Xilinx FPGA در ۱۲۶ MHz اجرا می‌شود. معماری پیشنهادی به پارامتری در زمان کامپایل برای تعداد گره‌ها و مقدار داده اجازه می‌دهد. علاوه براین، نتایج تجربی تأیید کرده‌اند که پیاده‌سازی پیشنهادی کارآمدتر است.

گاخکار اسحان [57] و همکاران (۲۰۱۷) بیان می‌کنند شبکه روی تراشه فوتونی PNoC ساختارهای کریستال فوتونی با استفاده از مدولاسیون سیگنال مبتنی بر مدولاسیون پهنای باند به کمک مدولاسیون سیگنال مبتنی بر مدولاسیون پهنای باند بالا مورد استفاده قرار می‌گیرند. متاسفانه، استفاده از طول‌موج‌های بزرگ‌تر برای دستیابی به پهنای باند بالا نیاز به منابع لیزری پیچیده و گران‌قیمت همراه با سخت‌افزار اضافی دارد، که باعث افزایش نویز و افزایش توان مصرفی می‌شود. این مقاله یک روش جدید (موسوم به 4-PAM-P)تولید سیگنال‌های نوری در سطح چهار دامنه را نشان می‌دهد، که پهنای باند را بدون افزایش طول‌موج‌های مورد استفاده، سخت‌افزار فوتونی و نویز متحمل شده کاهش می‌دهد، در نتیجه نرخ خطای بیت – نرخ (BER)، مساحت و مصرف انرژی را کاهش می‌دهد. تحلیل تجربی ما نشان می‌دهد که روش سیگنال دهی 4-PAM-P با پهنای باند برابری می‌کند. بهترین روش سیگنال دهی نوری در مقایسه با بهترین روش سیگنال دهی نوری سطح – دامنه در مقایسه با بهترین روش سیگنال دهی نوری در سطح کم‌تر است. تجزیه و تحلیل تجربی ما نشان می‌دهد که روش سیگنال دهی 4-PAM-P به پهنای باند برابر با ۴ دست می‌یابد. BER، ۱۹.۵ ٪ توان کم‌تر، ۱۶.۳ ٪ انرژی کمتر – ۱ بیت، و ۵.۶ ٪ مساحت کم‌تر در مقایسه با بهترین روش سیگنال دهی نوری سطحی ۴ دامنه از کارهای قبلی است.

گنگولی املان[58](۲۰۱۳) بیان کرد پیشرفت‌ها در زمینه ساخت تراشه در یکپارچه سازی را تسهیل داده است. تعداد ترانزیستورها در یک ناحیه که منجر به چند پردازنده چندهسته‌ای می‌شود. همچنین تعداد هسته‌های موجود در یک تراشه افزایش یافت. معماری‌های سنتی گذرگاه که در حال حاضر در پردازنده‌ها مورد استفاده قرار می‌گیرند، قادر به پشتیبانی از افزایش تعداد هسته‌های در یک تراشه چند هسته‌ای نیستند. از این رو، چیپ روی تراشه، ستون ارتباطی ارجحیت برای تراشه‌های چندهسته ای مدرن است. با این حال، انتقال داده چند رشته‌ای با استفاده از اتصالات wireline به اتلاف انرژی بالا و تأخیر منجر می‌شود. از این رو، بسیاری از تکنولوژی‌های مختلف متصل به هم از قبیل سه بعدی، بی‌سیم و فوتونی پیشنهاد شده‌اند. این فناوری‌های متصل به هم مزایای و مضرات خودشان را دارند. اتصالات میانی به عنوان یک جایگزین امیدبخش برای اتصال کوتاه فلز / دی‌الکتریک به عنوان یک اتصال کوتاه بهم‌پیوسته به عنوان یک جایگزین مناسب مطرح شده‌اند. چندین معماری جدید با استفاده از هادی‌های فوتونی به عنوان اتصالات پیشنهاد شده است که قادر به کاهش اتلاف انرژی در انتقال داده‌ها به طور قابل‌توجهی هستند. با این حال، مسائل مربوط به قابلیت اطمینان ناشی از تلفات موج بر موجبر و هم پوشانی کانال مجاور در موج بر فوتونی تا به امروز مورد توجه چندانی قرار نگرفته است. در این مقاله ما عملکرد یک معماری شبکه روی تراشه فوتونی را پیشنهاد و ارزیابی می‌کنیم‌که با تقسیم‌بندی موجبر به بخش‌های کوچک‌تر برای محدود کردن تلفات بر موجبر و کاهش سیگنال از دستگاه‌های الکترو نوری طراحی شده‌است. ما از طریق شبیه‌سازی‌های در سطح سیستم در این کار، عملکرد

[2] Ishan G Thakkar, Sai Vineel Reddy Chittamuru, Sudeep Pasricha
[3] Dr. Amlan Ganguly

MSBPNoC را با دیگر معماری‌های PNoC که در مقالات اخیر پیشنهاد شده و دستاوردهای آن را نسبت به همتایان کاملاً الکترونیکی مبتنی بر مش، مقایسه کردیم.

براین نیئلا مایک [59] و همکاران (۲۰۱۹) بیان کردند این مقاله یک روش یکپارچه برای ارزیابی تأثیر منابع انرژی پراکنده- (DERs)، شامل تولید photovoltaic متناوب(PV)، ممکن است بر عملکرد قابلیت اطمینان شبکه‌های قدرت داشته باشد. یک سیستم توزیع آزمایشی مبتنی بر شبکه‌های typical و MV شهری در بریتانیا مدل‌سازی شده و برای بررسی مزایای بالقوه تولید انرژی‌های تجدیدپذیر محلی، باره‌ای قابل مدیریت و ذخیره‌سازی انرژی هماهنگ استفاده می‌شود. روش مرسوم مونت کارلو به منظور شامل تغییر زمان - تغییر پروفایل های تقاضای برق و نرخ شکست مولفه‌های شبکه اصلاح می‌شود. علاوه بر این، یک مدل وقفه نظری برای ارزیابی دقیق‌تر زمان در زمانی به کار گرفته می‌شود که احتمال وقوع وقفه‌های به مشتریان برق ممکن است رخ دهد. از این رو، تأثیر تغییرات زمانی بر عملکرد قابلیت اطمینان از لحاظ تأثیر قطعی شبکه تعیین شده‌است. مزایای بالقوه قابلیت‌های شبکه هوشمند از طریق دو شاخص قابلیت اطمینان مشتری محور ارزیابی می‌شوند، با توجه ویژه به انرژی که به مشتریان عرضه نمی‌شود، همچنین فرکانس و طول وقفه تأمین. این مقاله همچنین در مورد استقرار یک سیستم مدیریت انرژی هوشمند برای کنترل منابع انرژی - ذخیره انرژی محلی بحث می کند که می‌تواند عدم قطعیت‌های موجود در تولید مبتنی بر انرژی‌های تجدیدپذیر را حل کند و تأمین پیوسته و مستمر برای همه مشتریان متصل را تضمین کند.

آ.آروین دهان [60] و همکاران (۲۰۱۶)بیان کردند برنامه نگاشت یکی از مهم‌ترین ابعاد شبکه روی تراشه است. برنامه‌نویسی خطی صحیح(ILP) یکی از روش‌های نگاشت استاتیک است، برای یافتن هزینه ارتباطی بهینه با زمان محاسباتی بزرگ‌تر. برای پرداختن به این مسأله، نگاشت مبتنی بر خوشه با استفاده از الگوریتم KL معرفی شده‌است که در تفکیک درجه برش ضعیف عمل می کند .براساس این مطالعات، ما تکنیک نگاشت خوشه‌ای اصلاح‌شده را با استفاده از الگوریتم ساخته‌شده برای معیارMPEG4 و جستجوی عمق اول(DFS) برای معیار PIP برای بهینه‌سازی هزینه ارتباطات مبتنی بر روش ILP پیشنهاد می کنیم .کارایی و تأثیر روش پیشنهادی با آزمایش‌های انجام‌شده در benchmarks مختلف در شبکه روی تراشه تایید شد.

نارش کومار ردی بچو و همکاران[61](۲۰۱۷)بیان کردند که این مقاله یک الگوریتم تحمل پذیری خطا شبکه روی- تراشه FTNoC[62] را پیشنهاد می کند که شامل یک واحد گراف هسته است که مسئول نگاشت و زمانبندی گراف هسته در معماری شبکه روی تراشه است. واحد تحمل پذیری خطا اطلاعات خطاها را از پلت فرم شبکه روی تراشه جمع آوری می کند و راه حل های متفاوتی برای انواع خطا فراهم می کند. این نتایج در نگاشت هسته ای قابل اعتماد و بهبود کارایی زمانی رخ می‌دهد که یک خطا مرتبط با شبکه روی تراشه باشد. الگوریتمFTNoC پیشنهادی در بُرد Kintex-7 (KC705) FPGA شبیه‌سازی و تأیید شد. نتایج نشان داد که کاهش سطح، انرژی مصرفی و بهبود کارایی در مقایسه با کارهای قبلی کاهش یافته است.

[1] Mike Brian Ndawula, Sasa Z. Djokic, and Ignacio Hernando-Gil
[60] Aravindhan A, Salini S,Lakshminarayanan G
[61] Naresh Kumar ReddyBecchuVasantha MoodabettuHarishchandraNithin KumarYernad Balachandra
[62] Fault-tolerance

وحیدی فر سمیرا، رشیدی میدیا[۶۳](۲۰۱۷) شبکه نوری روی تراشه به عنوان یک پلت فرم ارتباطی کارآمد برای غلبه بر چالش های موجود در شبکه های روی تراشه سنتی معرفی شد. شبکه نوری پهنای بالا و زیرساخت های تخریب با انرژی کم را ارائه می دهد. اضافه کردن تصادفی کمتر یکی از مهمترین عناصر در شبکه نوری روی تراشه است. در این مطالعه، یک راه حل در سطح الگوریتم مسیریابی پیشنهاد شده است تا کاهش ضریب نفوذ در شبکه فوتونی در تراشه با عبور بسته ها از طریق مسیرهایی با تعداد کمتر از عناصر نوری. نتایج شبیه سازی نشان می دهد که این رویکرد جدید در سطح مسیریابی، میزان ورودی را تا حد ممکن، مصرف و بودجه انرژی نوری را کاهش می دهد. مسیریابی پیشنهادی ما ۲۹.۰۵٪ کمتر از مقدار ورودی تحت الگوی ترافیکی all2all برای مسدود کردن توپولوژی توری است و در حدود ۱۲.۳۷٪ کاهش درج در توپولوژی توری نوری NX در مقایسه با مسیر اولیه اصلی است. الگوریتم پیشنهاد مسیریابی، پهنای باند شبکه و مقیاس پذیری را افزایش می دهد.

روش پیشنهادی

در این پایان نامه ما با پیشنهاد به کارگیری مسیریابی FT_XYZ و افزایش سرعت روترها با کاهش گیت‌های داخلی روترها می خواهیم افزایش قابلیت اطمینان و کارایی شبکه روی تراشه با معماری های سه بعدی تأمین نماییم. در اینجا بهتر بودن این روش نسبت به روش مقاله بیس S2DIO[64] مطرح می گردد.

ابتدا نیم نگاهی بر مقاله S2DIO خواهیم داشت: الگوی محاسبات از طرح محاسبات محور به طرح های ارتباط محور تغییر یافته است. شبکه روی تراشه به عنوان یک مکانیسم اتصال متقابل جایگزین برای طراحی‌های چند هسته‌ای آینده ظهور کرده‌است. ادغام ترانزیستور به حد خود نزدیک می‌شود و این افزایش حساسیت اتصالات میانی به سمت شکست‌ها را می‌شود. تلاش‌های تحقیقاتی به سمت بهبود تحمل پذیری خطا این اتصالات میانی، هدایت می‌شوند. مسیریابی تحمل پذیر مانند تقسیم بندی بر پایه و بالا / پایین طبیعتاً ثابت است و برای دور زدن شکست ها نیاز به پیکربندی مجدد دارد. شکست ها ممکن است اتصال شبکه را مختل کند و در صورتی که نمونه مسیریابی قدیمی قادر به ارائه اتصال کامل نباشد، باید پیکربندی شود. در این مقاله، ما گره‌های آسیب‌دیده از شکست را شناسایی کرده و یک پیکربندی مجدد مسیریابی مقیاس پذیر را پیشنهاد می کنیم که S2DIO نامیده می‌شود. این عمل ساختاربندی مجدد گره‌های آسیب‌دیده را با در نظر گرفتن چرخه‌های N^2 برای شبکه مش $n \times n$ انجام می‌دهد، در حالی که پیشرفته‌ترین چرخه(ARIADNE) N^4 cycles را مصرف می کند. به جای جداول مسیریابی، مسیریابی مبتنی بر منطق را به کار می گیریم و به پیشرفت های چشمگیر، یعنی ۳۰.۷ درصد از نظر مساحت و ۲۹درصد از لحاظ سربار قدرت برای روتر مش ۱۶ × ۱۶ دست می یابیم. یک الگوریتم جدید برای محاسبه بیت‌های مسیریابی مبتنی بر منطق جدید نیز در این مقاله پیشنهاد شده‌است. ساختاربندی مجدد ما S2DIO میانگین تأخیر در زمان تأخیر را تا ۳۲ درصد افزایش می‌دهد و تا ۱۹ درصد برای شکست تک لینک در شبکه روی تراشه مش دو بعدی ۸×۸ افزایش می‌یابد.(Jain, A & et,2019

[63] Samira Vahidifar, Midia Reshadi
[64] scalable 2D mesh network-on-chip scalable routing reconfiguration

ما در پایان نامه خود از روش 3DFTHP-NoC[۶۵](تحمل پذیری خطا و عملکرد بالا شبکه روی تراشه سه بعدی)را مطرح می کنیم.

مزایای روش پیشنهادی

- استفاده از مسیرهای کوتاه جایگزین در مواجه با خطا
- کاهش تعداد گیت‌های داخلی روترهای جهت کاهش تأخیر و افزایش کارایی

در فصل چهارم به بررسی و تجزیه و تحلیل روش پیشنهادی خواهیم پرداخت و کارایی در حالات زیر بررسی می‌شود:

۱-از دیدگاه متوسط تأخیر فلیت ها قبل از تزریق خطا

۲-از دیدگاه متوسط تأخیر فلیت ها قبل از تزریق خطا در روترهای میانی

۳-از دیدگاه متوسط تأخیر فلیت ها قبل از تزریق خطا در روترهای مرزی

۴-بررسی کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای میانی NoC

۵-بررسی کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای مرزی NoC

دراین قسمت به تجزیه و تحلیل روش پیشنهادی3DFTHP-NoC و بررسی کارایی در پنج دیدگاه خواهیم پرداخت. سه دیدگاه قبل از ترزیق خطا و دو دیدگاه پس از ترزیق خطا مورد بررسی قرار می گیرد و همچنین روتر ها مورد بحث روترهای مرزی و میانی می باشند.

فرمت Flit

یک بسته شامل چندین فلیت است. برای شناسایی آغاز و پایان یک بسته، سه نوع فلیت مورد نیاز است:

- فلیت هدر: نشان دهنده شروع یک بسته و انتقال اطلاعات مسیریابی است.
- یک فلیت پایان بسته را نشان می‌دهد.
- فلیت‌های میانی: تمام شامل همه ی فلیت های بین فلیت هدر و پایانی است.

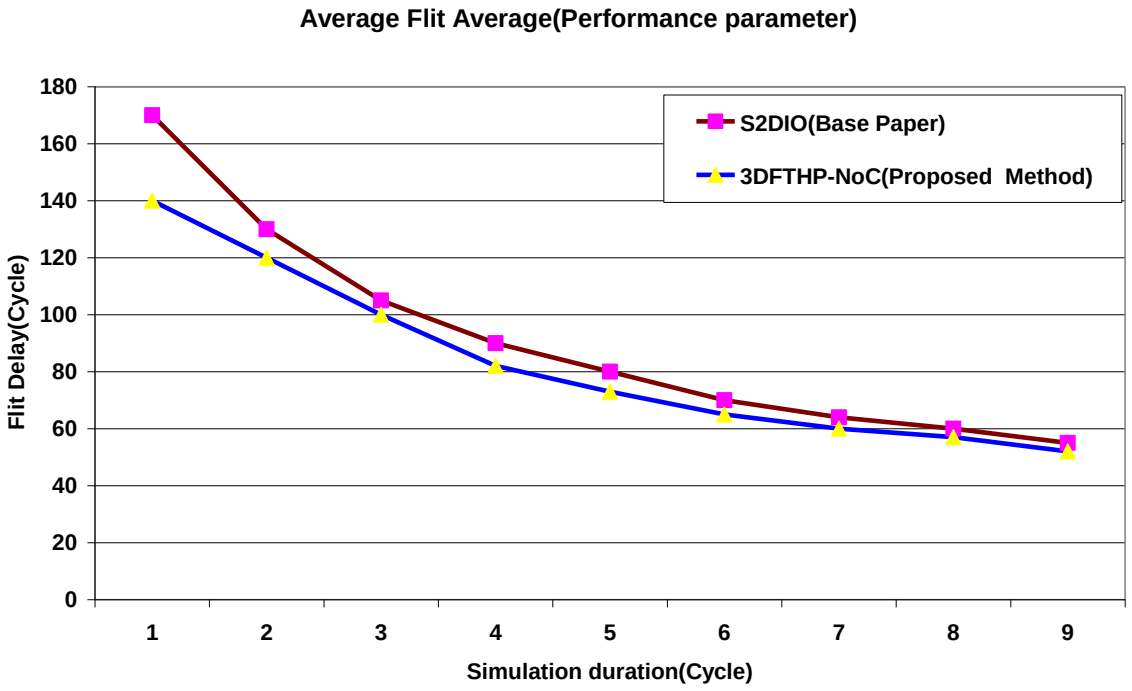
فلیت هدر: مسیر مسیریابی و داده‌های بسته فلیت بعدی را نگه می‌دارد. هر بسته شامل دقیقا یک فلیت هدر و یک فلیت پایان است. فلیت های میانی بین صفر یا بیشتر مجاز هستند. بنابراین یک بسته می‌تواند شامل هر تعداد دلخواه از فلیت باشد. نوع فلیت باید به یک فلیت رمزگذاری شود. روش معمول برای رمزگذاری نوع فلیت این است که نوع را به عنوان بیت اضافی اضافه کنید. فلیت هدر به عنوان نخستین فلیتی که پس از بسته شدن بسته پایینی وارد می‌شود شناسایی می‌شود.

[65]Three-dimensional Fault Tolerance & high-performance Network-on-Chip

بررسی کارایی در پنج دیدگاه مطرح شده

- از دیدگاه متوسط تاخیر فلیت ها قبل از تزریق خطا
- از دیدگاه متوسط تاخیر فلیت ها پس از تزریق خطا در روترهای میانی
- از دیدگاه متوسط تاخیر فلیت ها پس از تزریق خطا در روترهای مرزی
- بررسی کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای میانی NoC
- بررسی کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای مرزی NoC

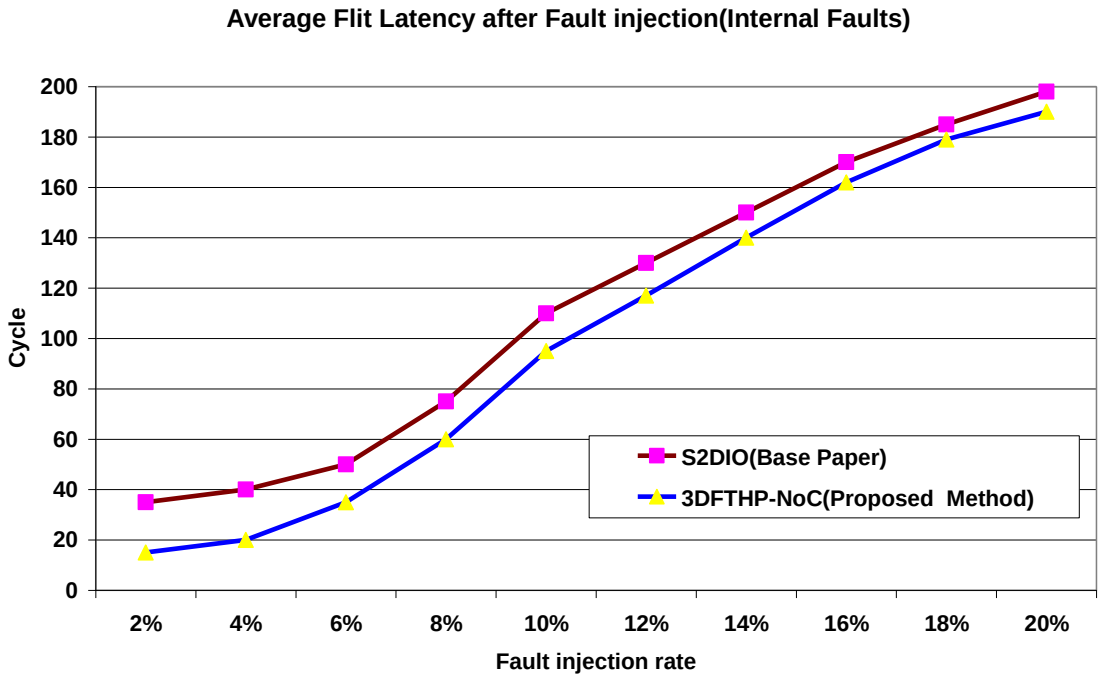
۱-بررسی کارایی از دیدگاه متوسط تاخیر فلیت ها قبل از تزریق خطا



شکل ۱-۱۱ Average Flit Average

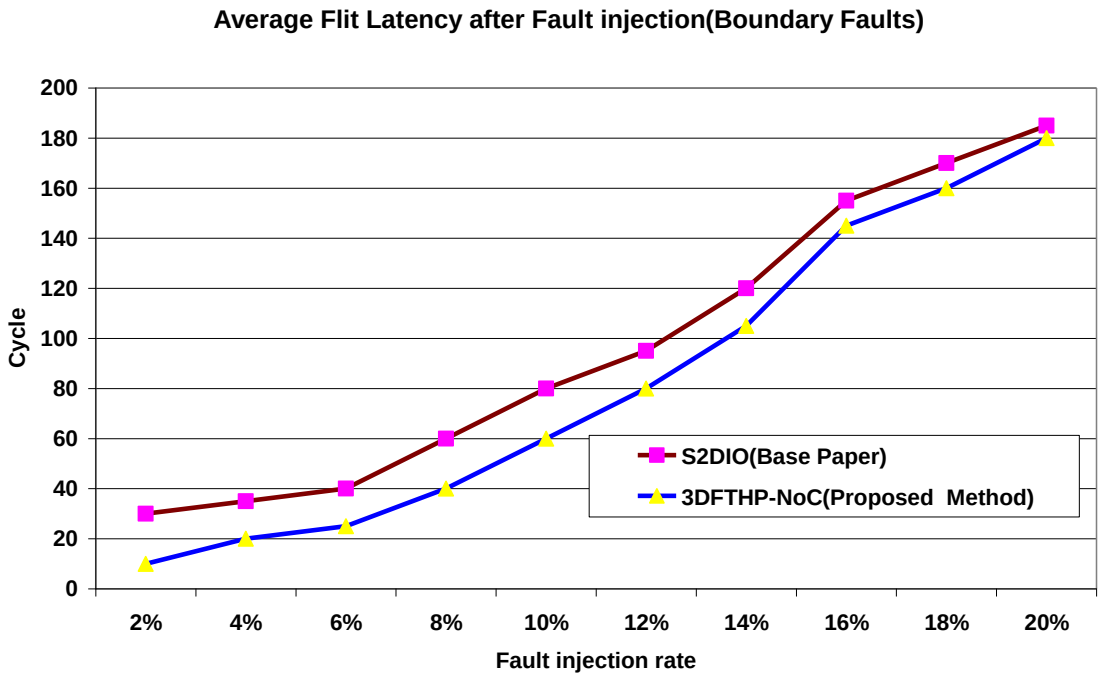
به ازای مدت زمان های مختلف شبیه سازی(محور افقی) نمودار نشان دهنده‌ی تأخیر فلیت ها(واحدهای جابجایی داده بین روترها) در دو روش ارائه شده در مقاله بیس و روش پیشنهادی پایان نامه است.که در تمامی موارد روش پیشنهادی دارای کاهش در تأخیر NoC می باشد.

۲-بررسی کارایی از دیدگاه متوسط تأخیر فلیت ها پس از تزریق خطا در روترهای میانی NoC



شکل ۱-۱۲ Average Flit Latency after Fault injection (Internal Faults)

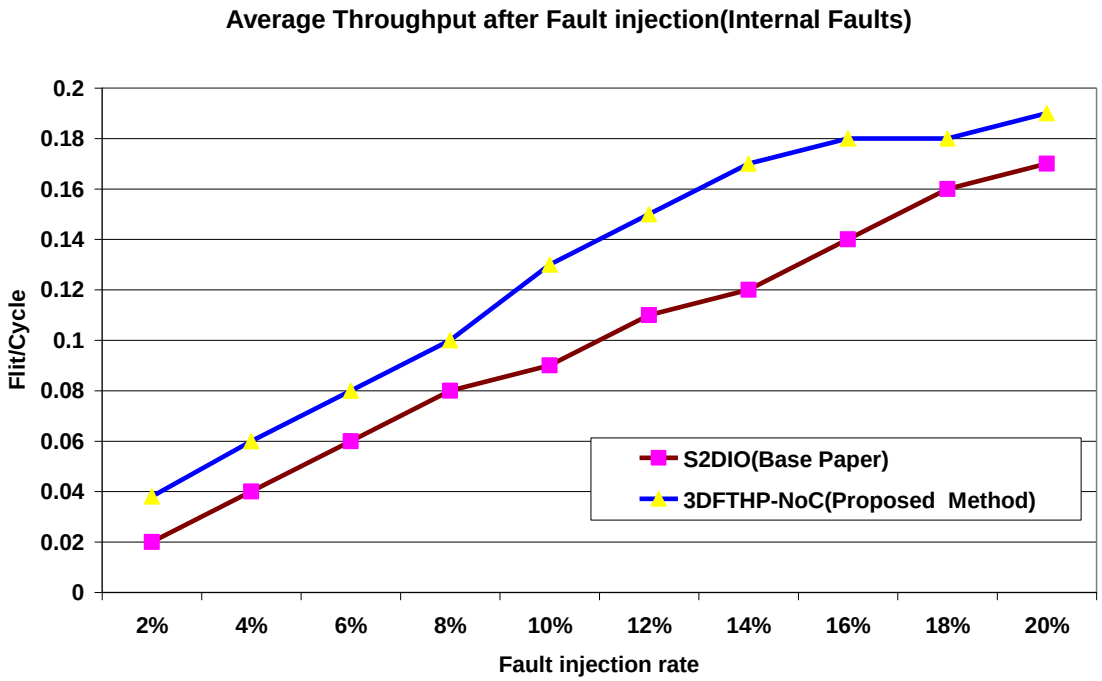
۳- بررسی کارایی از دیدگاه متوسط تأخیر فلیت ها پس از تزریق خطا در روترهای مرزی NoC



شکل ۱ - ۱۳Average Flit Latency after Fault injection (Boundary Faults)

۴-بررسی کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای میانی NoC

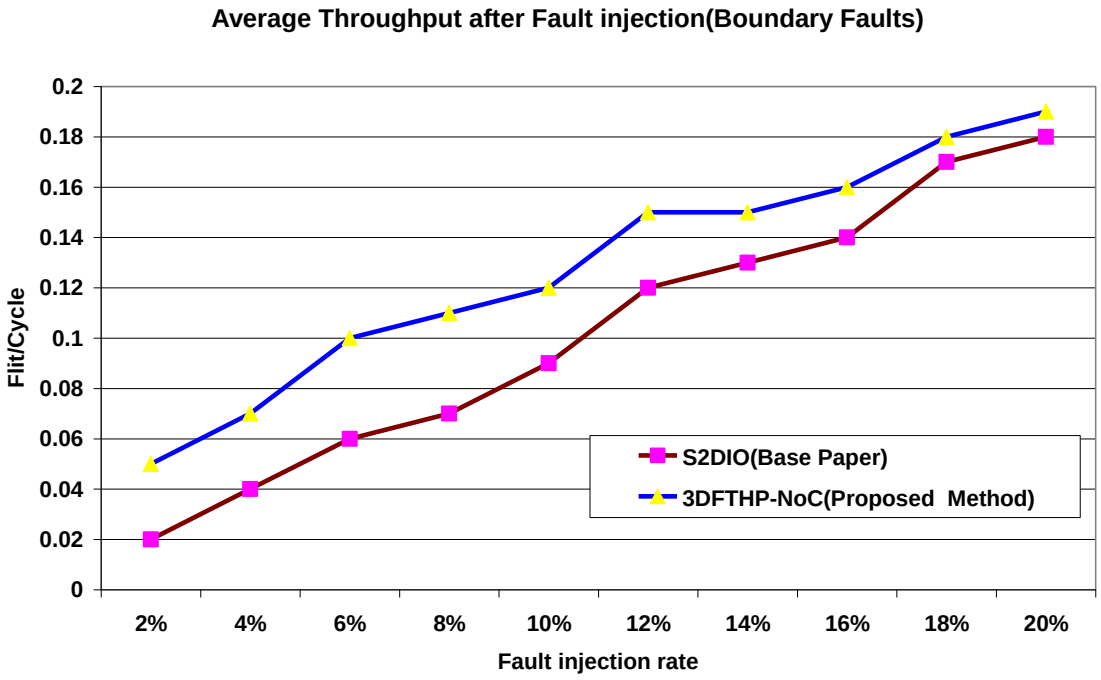
Average Throughput after Fault injection (Internal Faults)



شکل ۱ - ۱۴Average Throughput after Fault injection (Internal Faults)

۵- بررسی کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای مرزی NoC

Average Throughput after Fault injection (Boundary Faults)

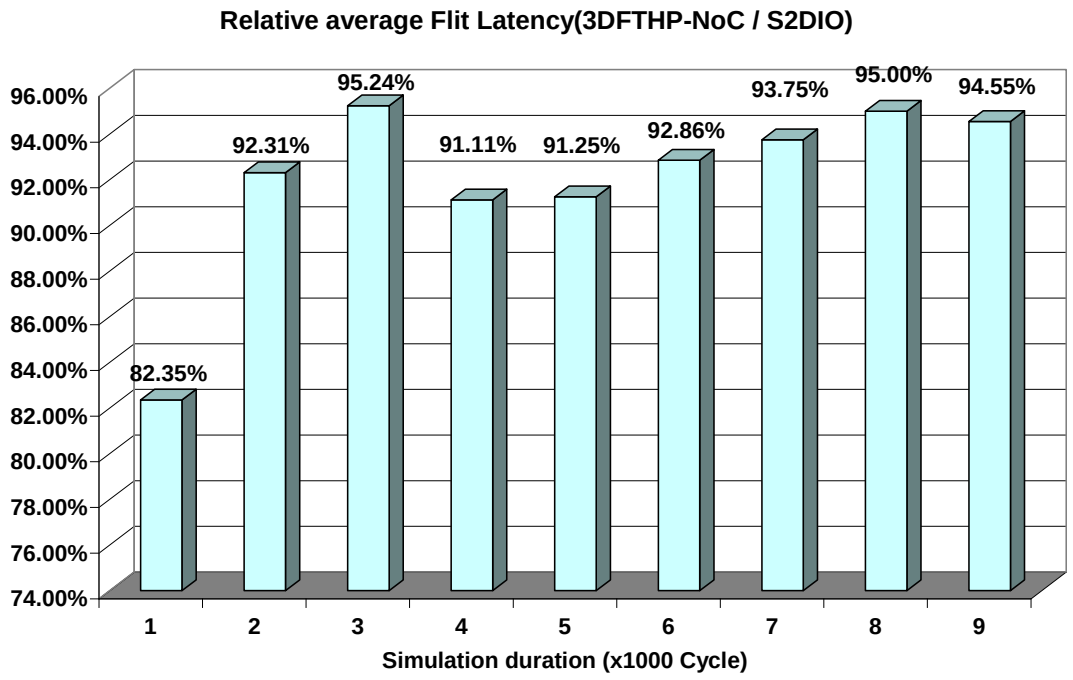


شکل ۱ - ۱۵(Average Throughput after Fault injection (Boundary Faults

در مقاله خود نتیجه‌گیری بهبود در افزایش گذردهی، بهبود در کاهش تأخیر روش پیشنهادی DFTHP-NoC نسبت به مقاله بیس (S2DIO) در پنج دیدگاه مطرح شده مورد بررسی قرار می‌گیرد.

۱- کارایی از دیدگاه متوسط تأخیر فلیت ها قبل از تزریق خطا

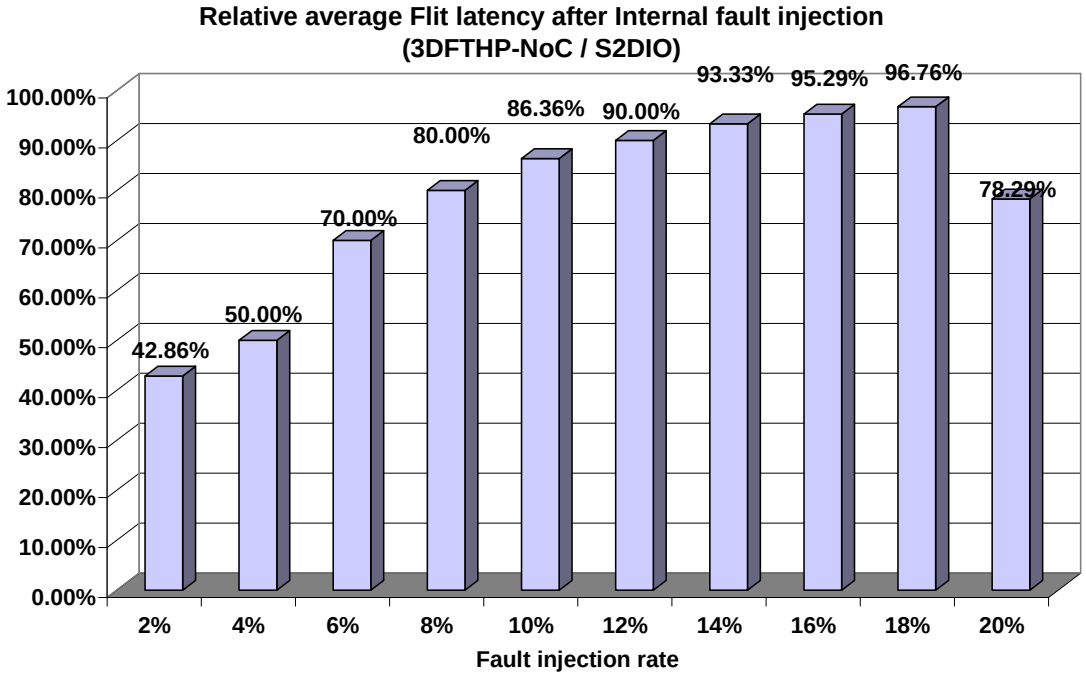
مقایسه درصد بهبود کارایی(کاهش تأخیر):



شکل ۱ -۱۶ Performance evaluation (Faulty Case)

بنابراین به طور متوسط روش پیشنهادی DFTHP-NoC نسبت به مقاله بیس (S2DIO) دارای 92.05% بهبود در کاهش تأخیر بوده است.

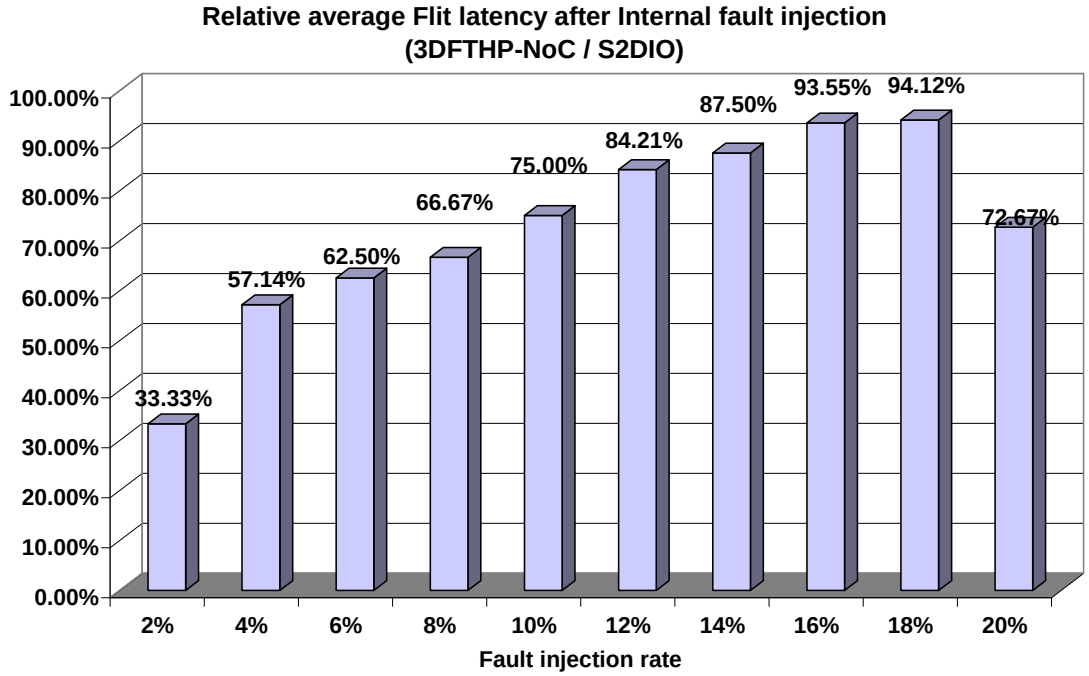
۲- کارایی از دیدگاه متوسط تأخیر فلیت ها پس از تزریق خطا در روترهای میانی NoC



شکل ۱ - ۱۷ کارایی از دیدگاه متوسط تأخیر فلیت ها پس از تزریق خطا در روترهای میانی

به طور متوسط روش پیشنهادی DFTHP-NoC نسبت به مقاله بیس (S2DIO) دارای **82.23%** بهبود در کاهش تأخیر پس از تزریق خطاهای میانی است.

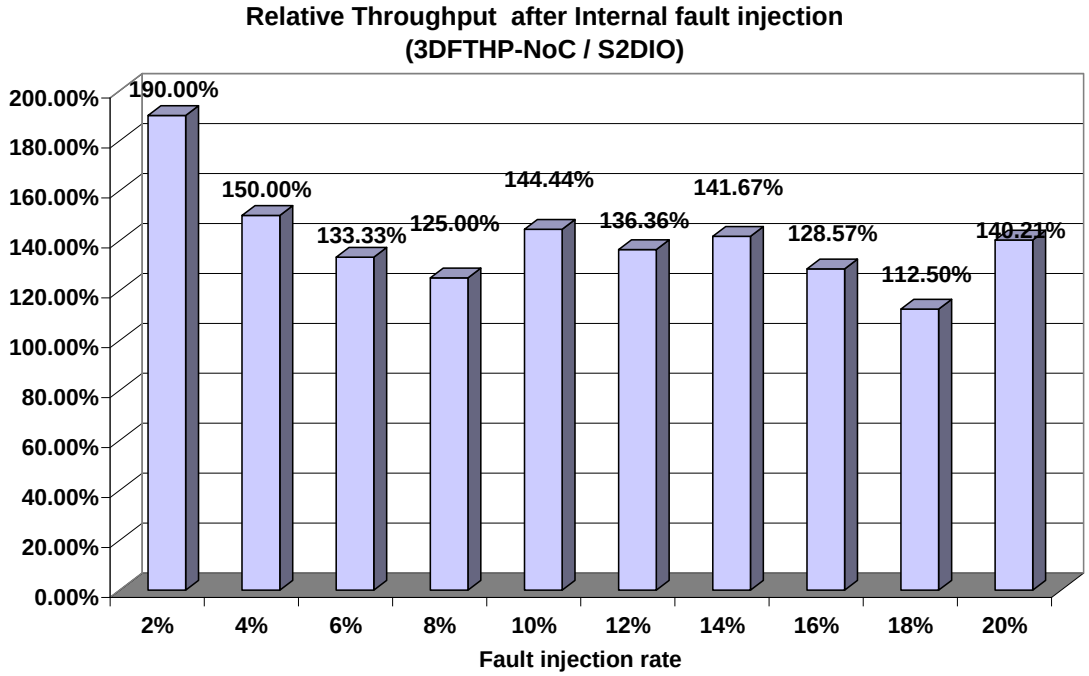
۳- کارایی از دیدگاه متوسط تأخیر فلیت ها پس از تزریق خطا در روترهای مرزی NoC



شکل ۱ -۱۸ کارایی از دیدگاه متوسط تأخیر فلیت ها پس از تزریق خطا در روترهای مرزی

به طور متوسط روش پیشنهادی DFTHP-NoC نسبت به مقاله بیس (S2DIO) دارای 77.04% بهبود در کاهش تأخیر پس از تزریق خطاهای مرزی است.

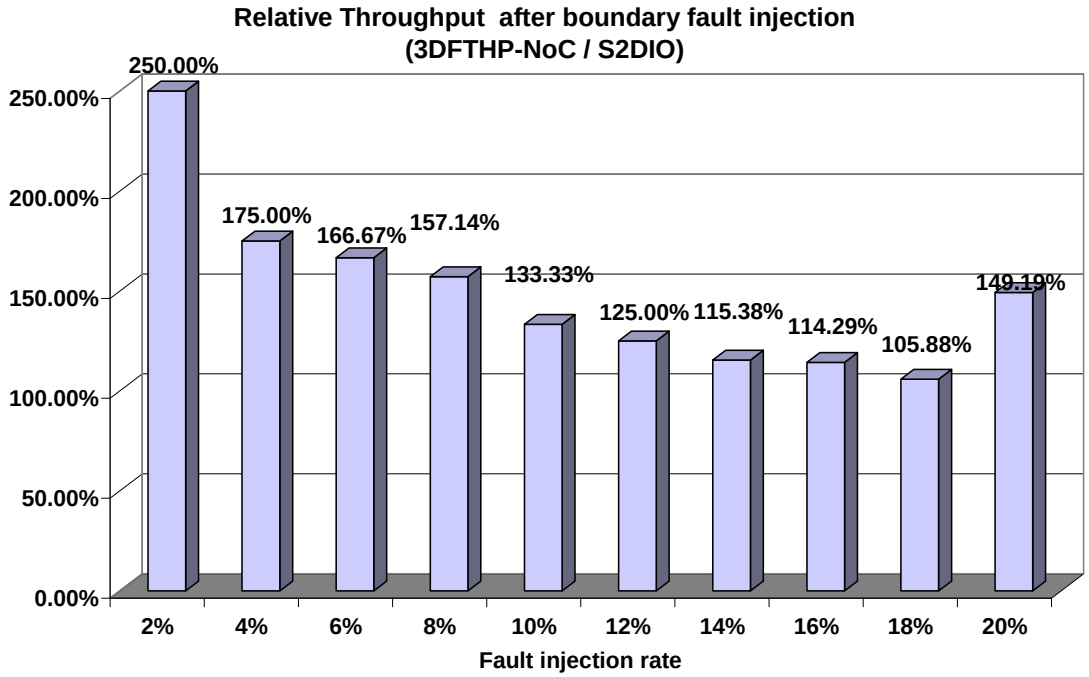
۴-کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای میانی NoC



شکل ۱-۱۹ کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای میانی

به طور متوسط روش پیشنهادی DFTHP-NoC نسبت به مقاله بیس (S2DIO) دارای 134.68% بهبود در افزایش گذردهی پس از تزریق خطاهای میانی است.

۵- کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای مرزی NoC



شکل ۱-۲۰ کارایی از دیدگاه گذردهی پس از تزریق خطا در روترهای مرزی

به طور متوسط روش پیشنهادی DFTHP-NoC نسبت به مقاله بیس (S2DIO) دارای 137.99% بهبود در افزایش گذردهی پس از تزریق خطاهای مرزی است.

مراجع و منابع

احمدزاده، شهرزاد،۱۳۹۵،"مقایسه الگوریتم های مسیریابی و تحلیل نقش آنها در کنترل ترافیک بر روی سیستم های شبکه‌روی‌تراشه‌ی سه‌بعدی"، کنفرانس بین المللی مهندسی کامپیوتر و فناوری اطلاعات، تهران، دبیرخانه دائمی کنفرانس.

اسدبلند، مجتبی و مهران زاده، امین ،۱۳۹۵، "بررسی مقایسه ای قابلیت اطمینان در الگوریتم مسیریابی پیشنهادی در شبکه روی تراشه سه بعدی"، سومین کنفرانس سراسری نوآوری های اخیر در مهندسی برق و کامپیوتر، تهران، موسسه آموزش عالی نیکان.

اکبرزاده نجار، فائزه و دشتبان، مرتضی و رضایی، مریم، ۱۳۹۳،"ساختار کلی شبکه های بر روی تراشه و افزایش کارایی با منطق فازی"، اولین همایش ملی فناوری و مدیریت دانش با محوریت اقتصاد مقاومتی، تربت حیدریه، دانشگاه تربت حیدریه.

جبرئیل جمالی، محمدعلی و مطیع قادر، حبیب و خادم زاده، احمد و حسین نژادقوی فکر، محمد ، ۱۳۸۶، "ارائه الگوریتم های مسیریابی وفقی جدید جهت کاهش تعداد گام مسیردر شبکه های روی تراشه (NoC) با همبندیTorus وMesh "، سومین کنفرانس بین المللی فناوری اطلاعات و دانش، مشهد، دانشگاه فردوسی مشهد.

جمشیدی گوهرریزی، وحید ، دهقان، مهدی ، برنگی، رضا(۱۳۸۴) ارائه الگوریتم هایی جهت افزایش تحمل پذیری خطا در ارتباطات تراشه شبکه ای، دومین کنفرانس بین المللی فناوری اطلاعات و دانش.

جودزاده، نوشین و بهروزیان نژاد، ابراهیم، ۱۳۹۲، "بررسی توپولوژی مش در شبکه های روی تراشه"، همایش ملی مهندسی کامپیوتر و فناوری اطلاعات، شوشتر، دانشگاه آزاد اسلامی واحد شوشتر.

جهرامی مقدم، لادن، ۱۳۹۵، "مروری بر انواع معماری و انواع روش های مسیریابی شبکه بر تراشه"، دومین کنفرانس ملی رویکردهای نوین در مهندسی کامپیوتر و برق، رودسر، باشگاه پژوهشگران جوان و نخبگان.

خدادادی، غلامحسین و جوی،مریم و موسوی، نیما، ۱۳۹۴، "بررسی الگوریتم ها در شبکه بر روی تراشه NoC"، اولین همایش چشم انداز تکنولوژی کامپیوتر و شبکه در ۲۰۳۰، میبد یزد، دانشگاه آزاد اسلامی واحد میبد.

رعیت پیشه، علی،۱۳۹۵،"مسیریابی برای برنامه های کاربردی درNoC با استفاده از الگوریتم های مبتنی برACO "، دومین کنفرانس بین المللی یافته های نوین علوم و تکنولوژی، قم، مرکز مطالعات و تحقیقات اسلامی سروش حکمت مرتضوی.

شاعری کریمی، زهرا و بهروزیان نژاد، ابراهیم، ۱۳۹۲،"معرفی و ارزیابی توپولوژی های شبکه روی تراشه"، همایش ملی مهندسی کامپیوتر و فناوری اطلاعات، شوشتر، دانشگاه آزاد اسلامی واحد شوشتر.

صبور روح منفرد،محمدامین،۱۳۸۸،"کاهش انرژی از طریق بسته بندی پویای داده،در شبکه روی تراشه"، تهران، دانشگاه صنعتی شریف،دانشکده مهندسی کامپیوتر

صحرایی، هادی و شادگار، بیتا وعصاره، علیرضا، ۱۳۹۲، "الگوریتم مسیریابی تا حدی وفقی مبتنی بر کنترل گر فازی برای کاهش زمان مسیریابی درNoC"، همایش ملی مهندسی کامپیوتر و توسعه پایدار با محوریت شبکه های کامپیوتری، مدل سازی و امنیت سیستمها، مشهد، موسسه آموزش عالی خاوران.

طینتی،ملیکا،۱۳۹۶،"مدل سازی هدایت گرمایی در شبکه های نوری روی تراشه و ارائه ی شبکه ی مقاوم در برابر تغییرات دما"،دانشگاه صنعتی شریف، دانشکده مهندسی کامپیوتر

عالمیان،ساناز،۱۳۹۱،"آزمون همروند بهینه از نظر انرژی برای راهگزین ها و اتصالات در شبکه ی روی تراشه"، تهران، دانشگاه صنعتی شریف،دانشکده مهندسی کامپیوتر.

عیسوندی، مریم، فتحی، محمود و برنگی، رضا، ۱۳۹۱، "بررسی تحقیقات انجام شده روی شبکه و تراشه‌های سه‌بعدی و چالش‌ها مشکلات توسعه آن‌ها"، همایش منطقه ای علوم کامپیوتر، مهندسی کامپیورتر و فناوری اطلاعات، دورود، دانشگاه آزاد اسلامی واحد دورود.

فقیهی، عفت و بهروزیان نژاد، ابراهیم ،۱۳۹۲، "مروری بر معماری های جدید شبکه بر روی تراشه سه بعدی"، همایش ملی مهندسی کامپیوتر و فناوری اطلاعات، شوشتر، دانشگاه آزاد اسلامی واحد شوشتر.

کوهی، سمیه،۱۳۹۱،"معماری مقیاس پذیر برای شبکه ی نوری روی تراشه "،دانشگاه صنعتی شریف،تهران.

گل وردزاده،بهنام ومیثمی،محمد حسن،۱۳۸۹،"ارائه یک الگوریتم مسیریابی وفقی جدیدجهت کاهش تاخیر در شبکه های روی تراشه با همبندی torus, mesh ، اولین همایش منطقه ایی پژوهش در فناوری برق – دانشگاه آزاد اسلامی واحد نجف آباد

مدیری، ارسطو و انصاری اصل، کریم و بهروزیان نژاد، ابراهیم، ۱۳۹۲، "مروری برعلل رویکرد ازمعماری سیستم روی تراشه به شبکه روی تراشه و انواع همبندی های شبکه روی تراشه دوبعدی"، اولین همایش ملی رویکردهای نوین در مهندسی کامپیوتر و بازیابی اطلاعات، رودسر، دانشگاه آزاد اسلامی واحد رودسر و املش

میرزائی، محمدرضا و زینالی، اسمائیل، ۱۳۹۳، "بهبود راندمان الگوریتم مسیریابی کاملاً انطباقی برای شبکه روی تراشه سه بعدی"، کنفرانس بین المللی اقتصاد، حسابداری، مدیریت و علوم اجتماعی، کشور لهستان،University of Szczecin، International Center of Academic Communication (ICOAC).

Alireza Namazi, Meisam Abdollahi, Saeed Safari, Siamak Mohammadi,2017, "A Majority-Based Reliability-Aware Task-Mapping in High-Performance Homogenous NoC Architectures", IEEE.

Amir-Mohammad Rahmani, Khalid Latif1, Pasi Liljeberg, Juha Plosila, and Hannu Tenhunen,2011, " A Stacked Mesh 3D NoC Architecture Enabling Congestion-Aware and Reliable Inter-Layer Communication", IEEE.

Anugrah Jain,Vijay Laxmi,Meenakshi Tripathi,Manoj Singh Gaur,Rimpy Bishnoi ,2019, "S2DIO: an extended scalable 2D mesh network-on-chip routing reconfiguration for efficient bypass of link failures",springer.

Aravindhan A, Salini S,Lakshminarayanan G," Cluster Based Application Mapping Strategy for 2D NoC",2016. Elsevier

Ashkan Eghbal, Pooria M. Yaghini, Nader Bagherzadeh,2015." Analytical Fault Tolerance Assessment and Metrics for TSV-based 3D Network-on-Chip ", IEEE.

Berejuck;Marcelo Daiel,2015." Network-on-Chip with load balancing based on interleave of flits technique."

Elnaz Alikhah-Asl, Midia Reshadi,2016, "Application Mapping onto Network-on-Chip using Bypass Channel",Journal of Advances in Computer Engineering and Technology.

Haidar M. Harmanani and Rana Farah,2010, " A Method for Efficient Mapping and Reliable Routing for NoC Architectures with Minimum Bandwidth and Area",IEEE.

Ishan G Thakkar, Sai Vineel Reddy Chittamuru, Sudeep Pasricha,2017, " Improving the Reliability and Energy-Efficiency of High-Bandwidth Photonic NoC Architectures with Multilevel Signaling",Seoul, Republic of Korea © 2017 Association for Computing Machinery.

Jongman Kim , Dongkook Park ,Chrysostomos Nicopoulos ,N. Vijaykrishnan , Chita R. Das ,2005, "Design and analysis of an NoC architecture from performance, reliability and energy perspective" , IEEE.

Jui Chang-En,Kai Hsien-Hsien,Hao Chao-Chih,Yen Lin-Shu,Yeu Wu-An, 2013" Regional ACO Based Cascaded Adaptive Routing for Traffic Balancing in Mesh-Based Network-on-Chip Systems, IEEE.

khanh N.Dang;Abderazek Ben Abdallah,2018." Architecture and Design Methodology for Highly-Reliable TSV-NoC Systems",vitenam.

Konstantinos Tatas • Kostas Siozios، Dimitrios Soudris • Axel Jantsch,2014، " Designing 2D and 3D Network-on-Chip Architectures", Springer New York Heidelberg Dordrecht London.

Lu Wang , Sheng Ma , Zhiying Wang,2017, "A High Performance Reliable NoC Router ",IEEE.

Michael Opoku Agyeman,2015, "A Study of Optimization Techniques for 3D Networks-on-Chip Architectures for Low Power and High Performance Applications",International Journal of Computer Applications.

Mike Brian Ndawula , Sasa Z. Djokic and Ignacio Hernando-Gil,2019, "Reliability Enhancement in Power Networks under Uncertainty from Distributed Energy Resources".
MPSoCs supporting wireless links",2016, Springer.

Muhammad Ahsan Khan,2017. "Simulating NoC Mesh and Torus Topologies".University of Victoria.

Muhammad, Athar, Javed, Sethi.Fawnizu,Azmadi,Hussin,Nor Hisham,Hamid. 2015."Survey Of Network On Chip Architectures".

Naresh KumarReddy Becchu,Vasantha MoodabettuHarishchandra,NithinKumarYernad Balachandra ,2017," System level fault-tolerance core mapping and FPGA-based verification of NoC". Elsevier.

Naresh Kumar Reddy Beechu,Vasantha Moodabettu Harishchandra,Nithin Kumar Yernad Balachandra,2 018,"Hardware implementation of fault tolerance NoC core mapping".

Pradheep Khanna Kaliraj,2013,"Reliability-Performance Trade-offs in Photonic NoC Architectures", IEEE.

Samira Vahidifar,Midia Reshadi,"Loss-aware routing algorithm for photonic networks on chip",2017, Springer.

Sara Akbari, Ali Shafiee, Mahmoud Fathy, Reza Berangi,2012, "AFRA: A low cost high performance reliable routing for 3D mesh NoCs".

Seyyed Hossein Seyyedaghaei Rezaei, Mehdi Modarressi, Reza Yazdani Aminabadi, Masoud Daneshtalab,2016, "Fault-Tolerant 3-D Network-on-Chip Design using Dynamic Link Sharing",Automation & Test in Europe Conference & Exhibition.

Siva Kanakala, Ashok Kumar, Dananjayan Perumal,2018, "High Reliability NoC switch using Modified Hamming Code with Transient Faults"

Sourav Das, Janardhan Rao Doppa, Partha Pratim Pande, Krishnendu Chakrabarty," Robust TSV-based 3D NoC design to counteract electromigration and crosstalk noise",2017, IEEE

Sridevi, S.Dr.G, Indumathi. 2016. "A Review on 3D Network on Chip:Architecture Design and Optimization of Multi-core Media Applications". IEEE.

Uzma Mushtaq, Osman Hasan, Falah Awwad,2013, "PNOC: Implementation on Verilog for FPGA"

Vahdaneh Kiani, Midia Reshadi,2016," Mapping multiple applications onto 3D NoC-based, IEEE" .

Enhance the reliability and performance of networked chips with 3D architectures

Zahra Seifimanesh

zahraseifim@gmail.com

Reza Kordi

Islamic Azad University, Khorramabad Branch

Reza.kordi@khoiau.ac

Abstract: Today, achieving high processing speed is one of the major needs of scientists and engineers. The trend of the past decade also illustrates the efforts of system designers to achieve high processing speed. But with the advent of silicon technology, they became too costly due to their complexity, poor scalability, increased communication latency and interference on the bus, with unpredictable performance and high power consumption. To overcome these problems, network chips have been proposed.

In this thesis, using the proposed method of FT_XYZ routing and increasing the speed of routers by reducing the internal gates of routers, we increase the network efficiency on the 3D chip. Proposed 3DFTHP-NoC method compared to S2DIO2 method, mean delay of pre-injection plates 92.05% improvement in delay reduction, average delay of post-injection plates in intermediate routers 82.23%; improvement in delay reduction, average Plate Delay after Fault Injection in Frontier Routers 77.04% Improvement in Delay, Delay After Fault Injection in NoC Intermediate Routers 134.68% Improvement in Pass and Failure after Fault Injection in NoC Frontier Routers 137.99% will have.

Keywords:3D architectures the Networks on Chip, Reliability, Network performance.