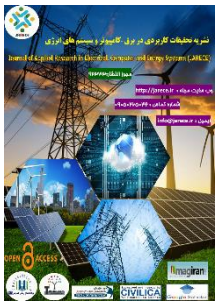
Vol. 1, No. 3, Oct- Dec 2023, (1-23)

Journal of Applied Research in Electrical, Computer and Energy Systems (JARECE)

نشریه تحقیقات کاربردی در برق ، کامپیوتر و سیستم های انرژی

دوره ۱، شماره ۳، پاییز۱۴۰۲ -(۲۳-۱)

journal homepage: https://jarece.ir/



مکانیزمی برای مواجه با مشکلات انرژی و حرارتی روتر در پردازنده های نوین

مینا سیفی

Minaseifi95@gmail.com

رضا کردی - دانشگاه آزاد اسلامی واحد خرم آباد

Reza.kordi@khoiau.ac

چکیده

اگرچه تراشه های سه بعدی یک راه حل امیدبخش برای مقابله با مشکلات ناشی از مقیاس پذیری در سطح مدارات مجتمع محسوب می‌گردند. اما دمای بالای این تراشه ها به دلیل افزایش چگالی توان،آسیب‌پذیری تراشه های سه بعدی در مقابل خطاهای دائمی یا متناوب را بیشترکرده است. از طرف دیگر استفاده از اتصالات سریع عمودیTSV در مدارات مجتمع سه‌بعدی افق جدیدی را برای طراحی شبکه روی تراشه باز کرده است. در این مقاله روتر با اتصالات عمودی بین سیلیکونی ارتباط بین لایه های تراشه را فراهم می‌کنند. لایه ها می توانند در فاصله چند میلی‌متری به صورت عمودی با استفاده از TSV روی هم قرار می‌گیرند.کاهش سیم ها منجر به کاهش تأخیر و انرژی مصرفی و در نهایت کاهش قطر 3DNoC می‌شود. در این مقاله به بررسی کاهش حرارت در شبکه روی تراشه سه بعدی با بهینه سازی نگاشت TSVها می‌پردازیم. تعداد و محل قرارگیری TSVها پارامتر مؤثری در حرارت پردازنده‌های نوین محسوب می‌شودکه در کاهش حرارت بسیار مؤثر می‌باشد.

واژه‌های کلیدی: شبکه روی تراشه سه بعدی، انرژی، مدیریت دما، مسیریابی،TSV.

مقدمه

در دنیای امروز، دست یافتن به سرعت پردازش بالا از نیازهای مهم دانشمندان و مهندسان می‌باشد. روند دهه‌ی گذشته نیز به خوبی نشان دهنده‌ی تلاش طراحان سیستم ها برای دستیابی به سرعت پردازش بالا می باشد. بدون شک طراحی یک سیستم پردازش سریع با محدودیت های فراوانی روبرو می باشد. سرعت یک پردازنده یکی از محدودیت‌های بسیار مهم می باشد. درکنار این، محدودیت در حافظه یا توان مصرفی نیز مانع از دستیابی به سرعت مورد نظر می باشد. همین محدودیت ها، مشوق طراحان برای طراحی سیستم روی تراشه چند هسته ای بوده است. اما با پیشرفت تکنولوژی سیلیکونی بدلیل پیچیدگی، مقیاس پذیری ضعیف، افزایش تأخیر در ارتباطات و تداخل در گذرگاه بسیار پرهزینه شدند و کارایی غیرقابل پیش بینی و نیز توان مصرفی بالایی را داشتند. برای غلبه بر این مشکلات شبکه روی تراشه پیشنهاد گردیده است.

که هدف اصلی، ارائه مکانیزمی برای مواجه و بهبود مشکلات انرژی و حرارتی روتر در پردازنده های نوین از قبیل شبکه روی تراشه می باشد.

در ادامه این بخش به معرفی قانون مور، سیستم روی تراشه، عامل پیدایش شبکه روی تراشه، شبکه روی تراشه، ساختار شبکه روی تراشه، پیکربندی شبکه روی تراشه دوبعدی و سه بعدی، حرارت و انرژی می پردازیم.

طبق قانون مور[1] با اختراع مدارهای مجتمع، تعداد ترانزیستورهای روی تراشه هر ماه، تقریباً دو برابرمی شود. این افزایش شدید باعث بوجود آمدن تراشه هایی با عملکردهای بیشتر و پیچیده ترشده است به‌طوری که امروزه به منظور افزایش چگالی ترانزیستورها، داشتن فرکانس عملیاتی بالا وکاهش زمان طراحی، تراشه هایی طراحی می‌شودکه عناصر عملیاتی ناهمگن و پیچیده را روی یک تراشه بوجود می‌آورد.

باگذر زمان، بهبود قابل توجهی در کارایی پردازنده ها به وجود آمده است. یکی از این عوامل پیشرفت فناوری بر مبنای نقشه راه بین المللی فناوری برای ادوات نیمه رسانا و تحقق قانون مور در این زمینه است که نشان می‌دهد به ازای یک برهه‌ی زمانی مشخص فناوری در زمینه های مختلف به صورت نمایی(اصطلاحا دوبرابر) بهبود می یابد. عامل دیگری که موجب گسترش روزافزون فناوری، به ویژه پردازنده ها شده، نوآوری در معماری سیستم های طراحی شده است. (مردانی کمالی،1392)

1-1 سیستم روی تراشه

در سیستم روی تراشه[2] با افزایش تعداد هسته های تراشه سیستمی، ایجاد ارتباط بین آنها کار ساده ای نیست و همچنین خصوصیات الکتریکی سیگنال ها و تأخیر قابل پیش بینی نیست. از این رو تراشه های VLSI[3] ساخته شد، پیچیده وگران هستند و طراحی تراشه نیز زمان زیادی می‌گیرد. (جمشیدی و همکاران،۱۳۸۴)

[1] Moor's law
[2] System on Chip
[3] Very Large Scale Integration

درابتدا سیستم های چندپردازنده‌ای با توجه به تعداد پردازنده‌ها به شکل کاملا ساده، سنتی و مبتنی برگذرگاه[۴] پیاده‌سازی می‌شدند. همچنین در شرایطی که تعداد پردازنده‌ها کم است می‌توان از ارتباطات مستقیم (نظیر به-نظیر[۵])استفاده کرد، اما این معماری ارتباطی قابلیت گسترش ندارد و فقط برای شبکه های کوچک مناسب است. نمونه‌ی دیگری ازمعماری های ارتباطی پردازنده‌ها، ایجاد شبکه‌ی میان ارتباطی با استفاده از سوئیچ های متقاطع[۶] است که این نمونه هم برای شبکه های بزرگ مناسب نبوده و مقیاس پذیر[۷] نیست.

گذر زمان و افزایش تعداد پردازنده ها که می توانند حتی ناهمگون[۸] و با ساختاری پیچیده تجمیع یافته باشند و حتی در سطوح ولتاژی مختلف نیز کار کنند، باعث شد که نتوان مبتنی بر گذرگاه ها به کارایی مدنظر رسید. حتی استفاده از سیستم های مبتنی بر گذرگاه با ساختاری سلسله مراتبی نیز بهبود چندانی در این زمینه ایجاد نکرد. لذا یک بستر جدید تحت عنوان شبکه روی تراشه[۹] در مجموعه سیستم های روی تراشه[۱۰] متولد گردیدکه زیر ساخت اصلی ارتباطات بین پردازنده ها را فراهم کند.(مردانی کمالی،1392)

در سیستم روی تراشه‌ی سنتی، که معمولاً در مقیاس کوچک[11] ساخته شده و شامل تعداد کمی عنصر پردازشی و حافظه ای می باشند، ارتباطات درون تراشه با استفاده از دو نوع معماری ارتباطی یعنی اتصالات نقطه به نقطه(P2P[12]) وگذرگاه [۱۳]یا باس پیاده سازی می‌شود. در اتصالات نقطه به نقطه بین هر دو هسته‌ی پردازشی نیازمند به ارتباط، یک اتصال اختصاصی ایجاد می‌شود. از آنجا که این روش تنها از سیم ها و(بدون استفاده از سخت افزار اضافه) برای انتقال داده ها استفاده می‌کند، بهترین کارایی [۱۴]و توان مصرفی را برای برقراری ارتباط بین تعداد کم هسته ها ارائه می‌کند. اما این روش دارای مشکلات زیادی از جمله عدم مقیاس پذیری[۱۵]، پیچیدگی زیاد طراحی و مسیریابی اتصالات در سطح مدار و هزینه‌ی پیاده سازی بالا است. ایرادهای فوق باعث می شود که استفاده از اتصالات نقطه به نقطه فقط در سیستم های کوچک مقرون به صرفه باشد. با بزرگ شدن اندازه‌ی سیستم، استفاده از اتصالات نقطه به نقطه به علت زیاد شدن سیم های مورد نیاز و مشکلات طراحی، امکان پذیر نیست.

روش سنتی دیگر، یعنی معماری ارتباطی مبتنی بر گذرگاه، هسته های پردازشی را با استفاده از یک کانال مشترک به یکدیگر ارتباط می دهد. در مقایسه با اتصالات نقطه به نقطه، گذرگاه مشترک پیچیدگی طراحی سطح مدار کمتری دارد و چون از کانال های کمتری استفاده می‌کند، هزینه‌ی پیاده سازی آن نیز پایین‌تر می باشد.

[4] Bus Based(Signal and Multiple)
[5] Point to Point
[6] Crossbar Switches
[7] Scalable
[8] Heterogeneous
[9] Network-on- chip(NoC)
[10] System-on-chip(SoC)
[11] Small-scale
[12] Point-to-point
[13] Bus
[14] Performance
[15] Scalability

اما گذرگاه مشترک دو مشکل اساسی دارد که عبارتند از عدم مقیاس پذیری توان و کارآیی با زیاد شدن تعداد دستگاه های متصل به گذرگاه، طول آن و نیز مدارات ارسال و دریافت داده‌ی متصل به آن افزایش یافته و باعث ایجاد یک بار خازنی زیاد می‌گردند.

2-1 شبکه روی تراشه

استفاده از سیستم روی تراشه و بهره‌گیری از شبکه روی تراشه به جای استفاده از گذرگاه قدیمی به عنوان وسیله ای برای ارتباط بین پردازنده ها، مسائل جدیدی را در زمینه آزمون پذیری به وجود می‌آورد. در تکنولوژی های جدید، سیستم روی تراشه یک تکنیک پیاده‌سازی برای مدیریت حجم انبوه ترانزیستورها بر روی یک تراشه می باشد. با پیشرفت تکنولوژی، سیستم روی تراشه هر روزه پیچیده‌تر می‌گردد که این پیچیدگی باعث افزایش محدودیت های توان، مساحت و سرعت واحدهای پردازشی موجود در هر تراشه می‌شود. بررسی‌ها نشان می‌دهند که سیستم روی‌تراشه چند پردازنده ای[۱۶] نسبت به سیستم روی تراشه تک پردازنده ای[۱۷] کارایی بالاتر و انرژی مصرفی کمتری دارند.

گذرگاه‌های داده کارایی کافی را در طراحی های پیچیده امروزی دارا نمی باشند. شبکه روی تراشه، بالاترین سطح موازی سازی و تأخیر اندک را در زمانی که تعداد ارتباط ها افزایش می یابد، دارا می باشند. بنابراین شبکه روی‌تراشه مشکلات مربوط به کاهش کارایی در گذرگاه ها را که بیشتر به دلیل تأخیر در سیم های عمومی و عدم استفاده مفید از آنها می باشد حل نموده است.

شبکه های میان ارتباطی روی تراشه یکی از تکنولوژی های کلیدی با قدرت محاسباتی بالا و مصرف انرژی بهینه برای برقراری ارتباط بین پردازنده ها و سیستم روی تراشه می باشند. شبکه روی تراشه به منظور مقابله با افزایش میزان اتلاف انرژی و همچنین تأخیر میان ارتباطی های عمومی روی تراشه، ساختاری شامل سیستم های ارتباطی و بلوکی هوشمند مسیریابی را ارائه می‌کند که سطح بالایی از کیفیت سرویس[۱۸] را پشتیبانی می کنند.کیفیت سرویس در واقع مجموعه‌ای از نیازمندی های اجرایی شبکه روی تراشه که بازدهی مناسب، پهنای باند قابل دسترسی، اتلاف توان و تأخیر پایین و قابلیت اطمینان را شامل می شود، فراهم می‌کند.

یکی‌دیگر از فواید استفاده از شبکه روی تراشه، مقیاس پذیری آن می باشد. بسته به نیازهای ارتباطی سیستم، لایه های لازم می‌توانند اضافه و لایه های بی استفاده حذف گردند. درصورتی که ارتباط، به ویژگی های خاصی نیاز نداشته باشد، لایه معادل با آن ویژگی می‌توانند حذف گردد. از طرفی شبکه روی تراشه در برخی از ویژگی ها، با شبکه های خارج از تراشه متفاوت می باشند.

این ویژگی‌ها مخصوص به شبکه روی تراشه است و از بین آنها می‌توان به مواردی مانند قابلیت اطمینان و کیفیت-سرویس، سربار مساحت پایین، توان مصرفی کم، درستی و صحت مقدار سیگنال و نگه داری از منابع شبکه اشاره نمود.

3-1 پیکربندی شبکه روی تراشه دوبعدی

یک مدور یک بعدی شامل یک آرایه k و یک مکعب را است که در اصل یک شبکه‌ی حلقه ای با تعدادk گره است. سپس این پیکربندی به حد کافی برای استفاده در این طرح ها ساده است، اگر چه با افزایش تعداد گره ها، مقیاس پذیری و کارایی محدودی خواهد داشت. به طور مشابه، پیکربندی مدور دوبعدی شامل آرایهk و دومکعب است، که آرایش

[16] Multiple Processor System on chip
[17] Signale Processor System on chip
[18] Quality of service(QoS)

یک مش معمولی را نشـــان می‌دهد با این تفاوت که گره های موجود در هر زاویه با ســـوئیچ هایی در زاویه‌ی مخالف به وســیله‌ی کانال های مســیریابی بســته اتصــال بر قرارکرده اند هر ســوئیچ 5 درگاه یا پورت دارد که یکی از آنها، به منبع مرکزی محلی و بقیه به نزدیکترین سوئیچ های همسایه متصل شده اند. محدودیت این پیکربندی روی اتصالات منتهی به اطراف تاثیر می‌گذارد، چرا که زمان تأخیر در آن ها افزایش یافته و این زمان تأخیر با توجه به اندازه‌ی این پیکربندی فرق می‌کند. در نتیجه، برای اجتناب از هر گونه مشـکل نقض زمان و مصـرف توان در این اتصـالات، اندازه، زمان تأخیر و مصرف توان آن ها باید در طول فاز طراحی به دقت محاسبه شود.

مدور تاخورده[19] هم که شکل توسعه یافته‌ی پیکربندی مدور است. الگوی اتصالی متفاوتی در پیکربندی مدور تا خورده وجود دارد که مشکلات مربوط به زمان تأخیر را در اتصالات متنهی به اطراف بهبود می بخشد. علاوه براین، قاعده‌ی اصلی این پیکربندی برای همه اتصالاتی که طول فیزیکی و زمان تأخیر مشابهی دارند اجرا می‌شود. در نتیجه تعیین کوتاهترین مسیر با همان تجهیزات مشابه برای مسیریاب بسیار ساده ترخواهد بود. از آنجایی که شبکه روی تراشه ها معمولا برای طراحی های برنامه خاص به کار می روند، مش ها توسعه یافته یا تغییریافته وکلاً پیکربندی های توری[20] را با افزودن اتصالات برگردان برای رسیدن به کارایی بیشتر در ناحیه سیلیکونی ترجیح می‌دهند. البته باید این نکته را ذکر کنیم که هر دو پیکربندی مش و مدور قابلیت این دارند که هم به صورت مستقیم و هم غیرمستقیم در شبکه ها به کار گرفته شوند.

پیکربندی سه بعدی

عمل سه بعدی کردن تراشه ها تحت عنوان پیکربندی گلوله‌ی نقره ای می تواند حرکت و نیروی موج بعدی استفاده کنندگان از محصولات الکترونیک را طبق قانون مولر تنظیم کند. جدا از انعطاف پذیری این روش جدید، یکی از چالش های اصلی که طراحان امروزه با آن مواجه هستند این است که در شبکه های سه بعدی، به اتصال بین قطعات به وسیله یک لایه یا لایه های متعدد در یک حالت متوازن وکاربردی دست یابند. یک راه حل قابل اعتماد برای این مشکل، استفاده از شبکه روی تراشه هاست. پیکربندی هایی که قبلا نام برده شدند، را می توانیم به کار بگیریم تا ارتباط فیزیکی را برای معماری های مسطح (دو بعدی)فراهم آوریم. اگر چه در سال های اخیر، آکادمی ها، مراکز تحقیقاتی و صنایع، تلاش های بسیاری برای طراحی معماری های سه بعدی کرده اند، اما تعدادی از گره ها برای لایه های متعددی به کار گرفته می شوند و اتصال بین لایه های مجاور از طریق "سیلیکون به صورت عمودی[21]" صورت می‌گیرد. این الگوی جدید از طریق ترکیب مزایای شبکه های سه بعدی با توازن رو به گسترش در شبکه روی تراشه، یک ساختار ارتباطی برای نسل های بعدی سیستم های پیچیده فراهم می‌آورد. خصوصاً اینکه موقعیت گره ها روی محور Z در میان سایرگره ها منجر به کاهش چشمگیر در زمان تأخیر اتصال، ساختار کانونی اتصال، افزایش انعطاف پذیری به همراه یکپارچگی در سیستم ها تکنولوژی های مشابه می شود. اگرچه برای اینکه معماری‌ها به شکل گسترده ای پذیرفته شوند، باید متدولوژلیست های مطرح و ابزار هایی که برای درک ویژگی های ذاتی این معماری ها لازمند برایشان فراهم شود.

[19] Folded torus
[3] Tori
[21] Tsvs

مدلهایی برای نیرو، انرژی و درجه حرارت(دما)

کارهای زیادی درمورد مشکل تجزیه و تحلیل و مدل سازی انرژی/ دما انجام شده است.مدل های انرژی بیشتر شناخته شده برای معماری های شبکه روی تراشه می توانندبه صورت زیر خلاصه شوند:

بسته های با بیت انرژی[۲۲] :هنگامی که یک بسته به شبکه متصل می شود وسیم ها و گیت‌های منطقی هر دو در مسیر داده ها جریان بیتی فلیپس[۲۳] قطبش را تغییر می دهد. هدف نویسندگان با دنبال کردن رویکرد مشابه تخمین انرژی مصرفی برای بسته های متحرک در شبکه است. به طور مشخص، انرژی مصرفی برای هر بیت (برای سیم ها و گیت‌های منطقی درون سوئیچ)هربار مقدار بیت قطبی (از بیت قبلی) جریان بیت را محاسبه می‌کند.

بسته ها و هاپ ها[۲۴]: هنگامی که گره های منبع و مقصد در مجاورت یکدیگر در شبکه قرار نمی‌گیرند، یک بسته برای رسیدن به مقصد به چندین گره میانی (بعنوان هاپ)نیاز دارد. علاوه براین، بسته به سناریو ترافیک، بسته هایی با همان مبدأ و مقصد از همان تعداد هاپ عبور نکنند.آنها ممکن است در مسیر داده ها لزوما با حداقل تعداد هاپ ها عبور نکنند. بنابراین تعداد بسته ای که از هاپ ها عبور می‌کنند تاحد زیادی بر کل انرژی مصرفی مورد نیاز برای حمل بسته از مبدأ به مقصد تأثیر می‌گذارد. براساس این مدل، بعنوان بسته بین گره ها، سیم‌های اتصال متناظر شارژ و دشارژ(تخلیه)می‌شوند، درحالی که گیت های منطقی درون سوئیچ ها گره را تغییر می‌دهند. به طور مشخص، نویسندگان در این کار پیاده سازی نقشه ساختار[۲۵] را برای MPSoC فرض می‌کنند و کل انرژی مصرفی در هر بسته را با تکثیر کردن ضریب هاپ یک بسته با انرژی مصرفی توسط یک بسته در هر هاپ را محاسبه می‌کند. جدا از این، در ادبیات بسیاری از مدل ها موضوعات مربوط به انرژی/دما (درجه-حرارت) هر دو برای معماری های دوبعدی و سه‌بعدی وجود دارد. به عنوان مثال TEMPEST یک مدل حرارتی مبتنی بر یک مدار معادل RC است. بااین حال، این رویکرد تنها شامل یک جفت RC برای کل تراشه کامل، بدون اطلاعات محلی است. اهمیت استفاده از یک مدل حرارتی دقیق (با جزییات)که شامل گرمایش محلی،انتشار حرارتی و اتصال با بسته حرارتی مورد بحث قرار گرفته است. مدل هایی برای ارزیابی تکنیک های مختلف برای پشتیبانی از مدیریت حرارتی پویا[۲۶] مورد استفاده قرار می‌گیرد. یک مدل قدرتمند سریع و دقیق براساس یک مدل قدرت تجربی پیوندها و سوئیچ ها برای شبکه روی تراشه Nostrum است. این مدل با قدرت کامپایلر Synopsys تایید شد، درحالی که نتایج تجربی نشان داد که تجزیه و تحلیل قدرت سریع با دقت 5٪ قادر می سازد.

درمقایسه با قدرت کامپایلر برای اندازه مشابه، شبکه روی تراشه،آثاری وجود دارد که سرعت قابل توجهی را به اندازه 500 برابر سریعتر اجرا می‌کند.

نقطه داغ یکی دیگر از مدل های دقیق و سریع است که براساس مدار معادل مقاومت حرارتی و ظرفیت هایی که با بلوک های میکروار ساختار و جنبه های مهم بسته های مطابقت دارد. یک چالش بسیار مهم درمورد معماری های سه

[22] Bit Energy of Packet
[23] flips
[24] Packets and Hops
[25] floor-plan
[26] DTM

بعدی، اتلاف گرما و مدیریت حرارتی است. برای مقابله با این موضوع چندین روش تحلیل در سالهای اخیر پیشنهاد شده است.

ما در این مقاله قصد داریم که الگوریتم های کاهش انرژی در شبکه روی تراشه را مورد بررسی قرار دهیم و دلایل افزایش حرارت و انرژی مورد تجزیه و تحلیل قرار می‌دهیم و خطاها طبقه بندی و دسته بندی می‌شود. با بهینه‌کردن این الگوریتم ها، انرژی در مسیریابی شبکه روی تراشه را مدیریت و بهبود بخشیم.

پیشینه تحقیق

هدف ما دراین مقاله ارائه مکانیزمی برای مواجه و بهبود مشکلات انرژی و حرارتی روتر در پردازنده های نوین می باشد. در این قسمت به معرفی برخی از کارهای مرتبط با اهداف از جمله فعالیت های مرتبط با شبکه روی تراشه، درخصوص مشکلات حرارت - انرژی و روتر می پردازیم.

جهرامی مقدم، لادن(۱۳۹۵) بیان کرد شبکه بر روی تراشه معماری نسبتاً جدیدی است که به علت ناکارآمدی معماری گذرگاه مشترک در سیستم روی تراشه اخیراً بسیار مورد توجه محققین قرار گرفته است. بهینگی در مصرف انرژی یکی از نگرانی های طراحی شبکه روی تراشه است. یکی از روش هایی که به ظاهر در پیاده سازی ارتباط روی تراشه مناسب به نظر می رسد، استفاده از یک گذرگاه مشترک است. اما معماری های مبتنی بر گذرگاه توانایی برآورده سازی نیازهای ارتباطی را ندارد زیرا گذرگاه ذاتاً غیرمقیاس‌پذیر است و از طرفی به اشتراک گذاشتن همزمان گذرگاه بین تمامی اجزای در تراشه غیرممکن است.

برجاک، مارسلو دانیل [۲۷](2015) بیان کرد یک ارزیابی ازشبکه‌ی مستقر بر روی تراشه NoC دارد که تعادل بارگذاری برای سیستم های مستقر روی تراشه SoCS را پیشنهاد می دهد، این تعادل بارگذاری مخصوصاً در نرم‌افزارهای چند رسانه ای که به ترافیک بالایی نیاز دارند تا ارتباطات متعدد را با نرخ بیتی بالا انجام دهند است. NoC بر پایه تکنیکی که اجازه‌ی جایگذاری سریع بیت های سریع از جریان های متفاوت در کانال های ارتباطی مشابه را می‌دهد و تعادل بار بدون کنترل مرکزی در شبکه را موجب می‌شود. به همین منظور،FLIT(بسته های انتقالی)های شبکه، بیت های زیادی دریافت می‌کنند و هرFLIT، حاوی اطلاعات مسیریابی خواهد بود. مسیریاب‌های این اطلاعات فراوان را برای ارزیابی و برنامه‌ریزی FLITهای درگاه های خروجی مشابه، بکار می‌گیرند. مقایسه های آماری و داده‌های تجربی، نشان می‌دهند که روش اتخاذ شده در شبکه، متوسط تأخیر کمتری نسبت به یک شبکه‌ی روی تراشه مبتنی بر حفظ منبع در زمانی که هر دو شبکه بیش از 80 درصد بار پیشنهادی را به کار می گیرند، برای جریان های نرخ بیتی متنوع دارد.

احمدزاده، شهرزاد(۱۳۹۵) بیان کرد با پیشرفت تکنولوژی و رشد روزافزون سیستم روی تراشه، طبق قانون مور، ساختارهای درونی تراشه باعث می‌شدکه ازکارایی آن کاسته شود. امروزه شبکه روی تراشه های سه بعدی یک موضوع چالش برانگیز در طراحی تراشه ها با تراکم بالا مطرح شده است. تحقیقات نشان می دهدکه قابلیت رسیدن به توان مصرفی کمتر، تأخیرکمتر وگذردهی بیشتر نسبت به شبکه روی تراشه های دو بعدی را دارد. موضوع اصلی در رسیدن به این هدف، تأثیرالگوریتم های مسیریابی روی این تراشه ها و مکانیزم تصمیم‌گیری آنها در مواجه با خطا، خصوصاً دراتصالات TSV

[27] Berejuck;Marcelo Daiel

اتصالات عمودی می باشد. تحمل خطا و قابلیت رهایی از بن بست، از جمله ویژگی های اصلی در یک الگوریتم مسیریابی کارا و مؤثر می باشد که بر ازدحام بار و کنترل ترافیک در لایه های خاص روی تراشه‌ی سه بعدی، اثرگذار است.

اشکان اقبال و نادر باقرزاده(2015) قابلیت اطمینان یکی از چالش برانگیزترین مشکلات در سیستم های سه بعدی‌روی تراشه است. تحلیل قابلیت اطمینان برای مراحل اولیه فرآیند تولید بسیار ضروری است تا از طراحی مجدد هزینه بر یک سیستم هدف جلوگیری شود. این مقاله اشکالات فیزیکی بالقوه یک معماری TSV-based، شبکه روی‌تراشه سه بعدی را بوسیله هدف گیری اجزای دوبعدی شبکه روی تراشه و اتصالات آنها، دسته بندی می‌کند. در این مقاله، مسائلTSV، مشکلات حرارتی و تأثیر تک رخداد(SEE)، بررسی و دسته بندی می‌شوند تا استانداردهای ارزیابی برای پیداکردن حالت جهندگی طرح های شبکه روی تراشه سه بعدی ارائه گردند. یک تحلیل قابلیت اطمینان برای منبع اصلی عیب‌ها در این مقاله گزارش‌شده است که به طور جداگانه ای براساس میانگین زمان برای شکست (MTTF) آورده شده اند.

احتمال شکست TSV توسط جفت گیری القایی و جفت‌گیری خازنی نیز مورد بحث فرار گرفته است. بالاخره، این مقاله یک تحلیل قابلیت اطمینان در مورد خطاهای بهم پیوسته که برTSV اثر می‌گذارند را ارائه می دهد. این تحلیل رسمی برای تخمین قابلیت ارتجاع اجزای مختلف به منظور سبک کردن فراوانی هزینه طراحی یا بررسی کارایی هر روش پیشنهادی برای معماری های شبکه روی تراشه سه بعدی ضروری و حیاتی است.

سفری، مائده(۱۳۹۶)شبکه های روی تراشه سه بعدی که ترکیبی از شبکه روی تراشه و تراشه های سه بعدی هستند، برای کاهش تأخیر و توان مصرفی و افزایش پهنای باند ارتباطات روی تراشه ارائه شده اند. شبکه روی تراشه سه بعدی، با قرار دادن لایه های مختلف سیلیکون بر روی یکدیگر، طول سیم ها را کاهش داده و منجر به کاهش تأخیر می‌شوند. اما، قرار دادن مختلف روی یکدیگر باعث می شود لایه های بالایی از گرماگیر دور شوند، مسیر هدایت گرما طولانی شود چگالی توان در واحد سطح افزایش یابد. عدم دفع حرارت تولیدشده در لایه های دور از گرماگیر، باعث افزایش مقاومت سیم ها و مسیرهای ارتباطی و در نتیجه باعث افزایش تأخیر انتقال می‌شود. این مشکل نه تنها کارایی شبکه را کاهش می دهد، بلکه می تواند قابلیت اطمینان ارسال بسته ها را نیز تحت تأثیر قرار دهد. از این رو، حل مشکل حرارتی که یک چالش مهم در شبکه روی تراشه‌ی سه بعدی است، مورد توجه طراحان قرار گرفته است.

فیاض جبالی[۲۸] و میهای سیما[۲۹](2017) معماری شبکه روی تراشه سه بعدی، ادغام یکپارچگی سه بعدی با مقیاس-پذیری پیدا شده در شبکه روی تراشه است. اصالتاً، پیشنهاد شد تا مشکل افزایش تعداد هسته‌ها در صفحه دوبعدی از بین برودکه بخاطر پیوسته‌های با فاصله زیاد به نظر ناکافی می رسد. این معماری با هدف بالا بردن عملکرد، مصرف انرژی، بدست آوردن نهفتگی پایین و افزایش پهنای باند شبکه، انتخاب شده است. با این وجود، هرچه قطعات بیشتری بصورت عمودی رو هم قرار بگیرند، فرکانس عملکردIC افزایش می‌یابد و این منجر به برخی مشکلات حرارتی شامل تراکم انرژی که دمای متوسط را افزایش می‌دهد، می‌شود. علاوه براین، مسیر طولانی تر اتلاف دما، منجر به اتلاف دمای مختلف در هر لایه از شبکه‌روی تراشه می شود که وضعیت را بدتر می‌کند. افزایش در مصرف کلی و سراسری انرژی، متوسط دما را بالا می‌برد و عملکرد و قابلیت اطمینان را کاهش می‌دهد. در این مقاله، یک طرح مدیریت انطباقی برای شبکه روی تراشه سه بعدی پیشنهاد داده شد که بیشتر بر مکان های پر تراکم در شبکه تأکید و تمرکز دارد. این پروتکل پیشنهادی از حالت حرارتی گره های میانی استفاده می‌کند و ویژگی های آن در یک روش توزیع یکنواخت تصادفی برای مسیریابی بسته‌ای

[28] Fayez Gebali
[29] Mihai Sima

وجود دارند. الگوریتم پیشنهادی، دسترسی شبکه را افزایش می دهد و متمایل به توزیع یکنواخت دمای سیستم در شبکه است و اطمینان حاصل کردن از اینکه بسته ها به سمت گره ها حرکت داده نمی شوند و تنها بسته هایی با ویژگی های خاص در توزیع به سمت گره ها ارسال می‌شوند. در طول انتقال، این دو توزیع بایستی محاسبه شوند تا بدانیم کدام حالت از توزیع متعلق به گره است. شبیه سازی نشان می دهد که این عملکرد بهتری در اجرا و اطمینان شبکه را با کاهش تعداد گره های iv در شبکه روی تراشه به ما می دهد. الگوریتم ارائه شده همچنین مصرف انرژی را کاهش می دهد که یک عملکرد دمایی است. شبیه سازی ها نشان می‌دهد که الگوریتم پیشنهادی ما کل انرژی مصرف شده را تاحدود 59٪ کاهش می دهد و کارایی تا69٪ در قیاس با مسیریابی قدیمی XYZ افزایش می یابد.

خان[30] و عبدالله رضا بن عبدالله[31](2018) در طول دهه‌ی گذشته، تحقیق زیادی بر روی شبکه روی تراشه (شبکه-روی‌تراشه سه بعدی) به عنوان یک راه حل برای کم کردن تنگناهای اتصالات میانی و کاهش مصرف انرژی در طراحی سیستم‌روی تراشه ای انجام شده است.

سیستم های شبکه روی تراشه سه بعدی دارند در مقابل نواقص زیادی که توسط کراستاک، تابش،شکست اکسید و غیره ایجادشده‌اند، آسیب پذیر می‌شوند. در نتیجه یک نقص ساده در یک ترانزیستور که توسط یکی از این عوامل ایجاد شده است ممکن است کل اعتماد سیستم را به خطر بیاندازد در حالیکه نقص می‌تواند در تحویل پیام ناقص، نارضایتی زمانی یا حتی بعضی اوقات خرابی کل سیستم نشان داده شود. این یک تحلیل دقیق از نواقص و یک روش ارزیابی کارآمد برای تقریب زدن قابلیت اطمینان یک سیستم شبکه روی تراشه را ارائه می‌دهد. همچنین این فصل یک معماری و طراحی سخت افزار از سیستم شبکه روی تراشه سه بعدی برمبنای TSVرا ارائه می دهد که می تواند نواقص اصلی را حل کند که می‌توانند در این سیستم ها اتفاق بیفتد.

رعیت پیشه، علی (۱۳۹۵) بیان کردند از شبکه روی تراشه به عنوان یکی از راه حل های قابل توجه در طراحی زیرساخت های ارتباطی برای سیستم هایembedded استفاده می‌شود، که در آن ارائه ساختار مقیاس پذیر و توازن ارتباطات بین هسته را باید مدنظر قرار داد. از آنجا که چندین بسته داده را می توان به طور همزمان از طریق شبکه منتقل نمود، باید از یک استراتژی مسیریابی کارآمد به منظور جلوگیری از تأخیر ازدحام استفاده نمود. در این مقاله، از الگوریتم کلونی مورچه ها برای پیدا کردن و بهینه سازی مسیرهای شبکه روی تراشه مبتنی بر مش استفاده شده است در چندین برنامه کاربردی به طور تصادفی نگاشت شده است. بهینه سازی مسیریابی با به حداقل رساندن تأخیر در انتقال بسته های اطلاعاتی بین پردازنده ها بررسی می شود. نتایج شبیه سازی نشان می دهد که الگوریتم مسیریابی کلونی مورچه ها در مقایسه با الگوریتم های دیگر عاری از بن بست است.

جبرئیل جمالی، محمدعلی وهمکاران (۱۳۸۶) بیان کردند الگوریتم های مسیریابی وفقی بر روی همبندی های Torus وMesh بررسی شده، سپس سه الگوریتم مسیریابی وفقی جدید برای همبندی Mesh ویک الگوریتم مسیریابی وفقی جدید برای همبندی Torus معرفی می‌شود که درکل تعداد گام مسیریابی را کاهش داده و از بن‌بست،گرسنگی و Live Lock در امان هستند.

صفی خانی محمدزاده، پگاه و همکاران(۱۳۹۶) بیان کردند دلیل افزایش علاقه به شبکه روی تراشه را می توان با نگاه کردن به تحول تکنولوژی مدارهای مجتمع و نیاز روزافزون به سیستم های الکترونیکی پیداکرد. ریزپردازنده های مجتمع

[30] khanh N.Dang
[31] Abderazek Ben Abdallah

در حقیقت نقش اساسی در تحول تکنولوژی کامپیوتر دارند. یکی از تفاوت های مهم شبکه روی تراشه با سیستم روی تراشه در مسیریابی صورت گرفته در این شبکه‌ها می باشد. کارایی شبکه روی تراشه به طور گسترده ای به الگوریتم های مسیریابی به کار رفته در آنها وابسته است. در سالیان اخیر، الگوریتم های مسیریابی زیادی برای شبکه‌روی تراشه طراحی شده است. در این مقاله مفاهیم اساسی الگوریتم های مسیریابی و همچنین برخی از مشهورترین الگوریتم های مسیریابی مورد استفاده در شبکه روی تراشه معرفی و مورد بررسی قرار می گیرد.

معماری های پیشنهادی در زمینه انرژی و کاهش حرارت در مقالات و کارهای پیشین مطرح شد. که دیدکلی و جامعی از فعالیت پیش رو را در اختیار قرار می دهد.

روش پیشنهادی

روش پیشنهادی که کاهش حرارت در شبکه روی تراشه سه بعدی با بهینه سازی نگاشت TSVها را مورد بررسی قرار می دهیم.

مقدمه‌ای بر طراحی کلی شبکه

پیاده‌سازی سیستم های ناهمزمان در FPGA ها آزمایشی است. به طور کلی تمرکز روی سادگی بوده است، در حالی که عملکرد اولویت پایینی دارد. منابع منطقی موجود در FPGA محدود است، بنابراین نگه داشتن مساحت کم نیز دارای اولویت است. بخش های زیر تصمیمات طراحی برای طراحی کلی شبکه روی تراشه را توضیح داده می‌شود.

توپولوژی

در هنگام انتخاب توپولوژی، توپولوژی که نقشه آن بر روی ساختار FPGA قرار دارد باید انتخاب شود. پیچیدگی توپولوژی نیز باید کم باشد. یک توپولوژی مش دوبعدی با K آرایه با لینک دو طرفه برای شبکه روی‌تراشه انتخاب شده است. دلیل اصلی این امر این است که تضمین آزادی بدون بن بست به دلیل افزایش تعداد لینک هادر مقایسه با تروس راحت تر است. شبکه به دلیل استفاده از xy-routing، می‌تواند deadlock را بدون استفاده از کانال‌های مجازی تضمین کند. ساختار دو بعدی توپولوژی به خوبی در ساختار FPGA قرار دارد. یک توپولوژی مش مکعب K آرایه‌ایی الزامات زیر را به رابط روتر اضافه می‌کند: چهار پورت برای اتصالات شبکه، یک پورت برای اتصال هسته که این پورت ها باید دو طرفه باشند.

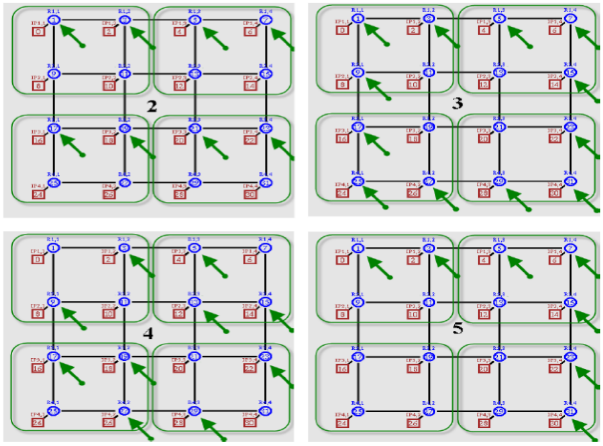
بررسی کاهش حرارت در شبکه روی تراشه سه بعدی با بهینه سازی نگاشت TSVها

کارایی شبکه روی تراشه به طور گسترده ای به الگوریتم های مسیریابی به کار رفته در آنها وابسته است. درسال‌های اخیر، الگوریتم های مسیریابی زیادی برای شبکه روی تراشه دوبعدی و سه بعدی طراحی شده است.شبکه روی‌تراشه سه بعدی که برای افزایش کارایی شبکه روی تراشه دو بعدی معرفی گردیده، از ترکیب مفاهیم شبکه روی‌تراشه و مجتمع سازی سه بعدی به وجود آمده است. دراین گونه مدارها نیمه هادی به روشی خاص به صورت پشته ای روی یکدیگر قرار می‌گیرند. به دلیل تأثیرات قابل توجهی که اشکال های لینک ها یا گره های شبکه روی‌تراشه بر عملکرد مدار می‌گذارند، الگوریتم های مسیریابی بایستی روش هایی را بکارگیرند تا از تأثیرات اشکال جلوگیری نمایند. این ویژگی خصوصاً در

شبکه روی تراشه سه بعدی که احتمال رخداد اشکال در لینک های عمودی آن قابل توجه است، اهمیت بیشتری دارد. دراین مقاله به بررسی کاهش حرارت در شبکه های روی تراشه سه‌بعدی با بهینه سازی نگاشت TSVها می پردازیم. براین اساس شبیه سازی روی 5 توپولوژی در نظر گرفته شده است.

توزیع TSV

TSVها به دو دسته همگن و ناهمگن تقسیم می شوند. که در شکل زیر دو بخش بالایی دارای توزیع همگن و ثابت است درحالی که دو بخش پایین ناهمگن متغیر هستند.



شکل 5-3 توزیعTSVها

بررسی و جزییات 5 توپولوژی در نظر گرفته شده درادامه مطرح می شود.

تجزیه و تحلیل نتایج

در این بخش ابتدا به بررسی جزییات پارامترهای حاصل ازشبیه سازی5 همبندی، دسته بندی همبندی ها و در نهایت به بررسی حرارت در سناریو های مختلف خواهیم پرداخت.

1-4 تجزیه وتحلیل جزییات همبندی های روش پیشنهادی با بهینه سازی نگاشت TSVها

به بررسی پارامترهایی همچون پیچیدگی و تعداد پورت های روتر و انرژی مصرفی در 5 همبندی با دسته بندی مختلف می پردازیم.

1-3-4 بررسی پارامترهای حاصل ازشبیه سازی همبندی1

یکی از پارامترها در پیاده سازی شبکه روی تراشه پیچیدگی و تعداد پورتهای روتر می باشد. این موضوع بر مساحت تأثیر می‌گذارد.

این همبندی به 4دسته تقسیم می شود:

1. روتر دوبعدی با 3 پورت :12 روتر

2. دو بعدی با 4 پورت:24 روتر
3. سه بعدی با 6 پورت :8 روتر
4. سه بعدی با7 پورت:4 روتر

انرژی مصرفی

انرژی مصرفی براساس طول مسیر و تعداد پرش‌ها محاسبه می شود:

HOP COUNT=8

IP(1,1,1)→R(2,1,1) → R(2,2,1) → R(2,2,2) → R(2,2,3) →R(3,2,3) → R(4,2,3) → R(4,3,3) →IP(4,4,3)

در این همبندی از آنجایی که در روتر مبدأ لینک عمودی ندارد. ابتدا بوسیله مسیریابی xyبسته ها به سمت نزدیک ترین روتر دارای لینک عمودی هدایت شده:

IP(1,1,1)→R(2,1,1) → R(2,2,1)

سپس از طریق لینک های عمودی به لایه سوم هدایت شده:

R(2,2,1)→R(2,2,2) → R(2,2,3)

و در این لایه نیز طبق مسیریابی xy به سمت روتر مقصد هدایت می شود:

R(2,2,3) → R(3,2,3) → R(4,2,3) →R(4,3,3) → IP(4,4,3)

1-4-1 **2-3-4 بررسی پارامترهای حاصل از شبیه سازی همبندی2**

همبندی به 7 دسته تقسیم می شود:

1. روتر دوبعدی با 3 پورت :6 روتر
2. دو بعدی با 4 پورت:12 روتر
3. دوبعدی با 5 پورت:6 روتر
4. سه بعدی با 4 پورت :4 روتر
5. سه بعدی با5 پورت:10 روتر

6. سه بعدی با 6 پورت:8 روتر
7. روتر سه بعدی6 پورت: 2 روتر

انرژی مصرفی

در زیر مسیریابی در همبندی 2 را بررسی می کنیم:

IP(1,1,1)→R(1,1,1) → R(1,1,2)→R(1,1,3) → R(2,1,3) → R(3,1,3) → R(4,1,3) R(4,2,3) → R(4,3,3) → IP(4,4,3)

در این همبندی باتوجه به وجود لینک عمودی در روتر مبدأ ابتدا از طریق این لینک بسته ها به لایه های بالاتر فرستاده می شود:

IP(1,1,1)→R(1,1,1) → R(1,1,2)→R(1,1,3)

سپس در لایه مقصد با مسیریابی xy به سمت روتر نهایی هدایت می شود:

X

R(1,1,3) → R(2,1,3) → R(3,1,3) → R(4,1,3)

Y

R(4,1,3) → R(4,2,3) → R(4,3,3) → IP(4,4,3)

بنابراین تعداد پرشها در این همبندی برابر است با:

HOP COUNT=9

1-4-2 **3-3-4 بررسی پارامترهای حاصل از شبیه سازی همبندی3**

همبندی به 4دسته تقسیم می شود:

1. روتر دوبعدی با 5 پورت :12 روتر
2. سه بعدی با 4 پورت: 8 روتر
3. سه بعدی با 5 پورت پورت :8 روتر:20 روتر
4. سه بعدی با 6 روتر

IP(1,1,1)→R(1,1,1) → R(1,1,2)→R(1,1,3) → R(2,1,3) → R(3,1,3) → R(4,1,3) → R(4,2,3) → R(4,3,3) → IP(4,4,3)

در این همبندی نیز همانند همبندی 2، باتوجه به وجود لینک عمودی در روتر مبدأ ابتدا از طریق لینک بسته ها به لایه بالاتر فرستاده می شود:

IP(1,1,1)→R(1,1,1) → R(1,1,2)→R(1,1,3)

سپس در لایه مقصد با مسیریابی xy به سمت روتر نهایی هدایت می شود:

X

R(1,1,3) → R(2,1,3) → R(3,1,3) → R(4,1,3)

Y

R(4,1,3) → R(4,2,3) → R(4,3,3) → IP(4,4,3)

HOP COUNT=9

1-4-3 **4-3-4 بررسی پارامترهای حاصل ازشبیه سازی همبندی4**

همبندی به 5 دسته تقسیم می شود:

1. روتر دوبعدی با 3 پورت :12 روتر
2. دو بعدی با 5 پورت: 6 روتر
3. سه بعدی با 5 پورت:16 روتر
4. سه بعدی با 6 پورت :12 روتر
5. سه بعدی با 2 پورت : 7 روتر

5-3-4 بررسی پارامترهای حاصل ازشبیه سازی همبندی5

همبندی به 7 دسته تقسیم می شود:

1. روتر دوبعدی با 3 پورت :3 روتر
2. دو بعدی با 4 پورت: 12 روتر
3. دو بعدی با 5 پورت:12 روتر

4. سه بعدی با 6 پورت :8 روتر
5. سه بعدی با 4 پورت : 8 روتر
6. سه بعدی با 5 پورت: 11 روتر
7. سه بعدی با 6 پورت :4 روتر

بررسی تعداد و نوع روترهای در همبندی های مختلف

از آنجایی که حرارت و توان مصرفی روترها براساس تعداد پورت‌ها و ابعاد آنها در فرکانس کار ی تعریف می‌شود در جدول زیر نوع و تعداد پورتهای روترها در همبندی های مختلف محاسبه شده است:

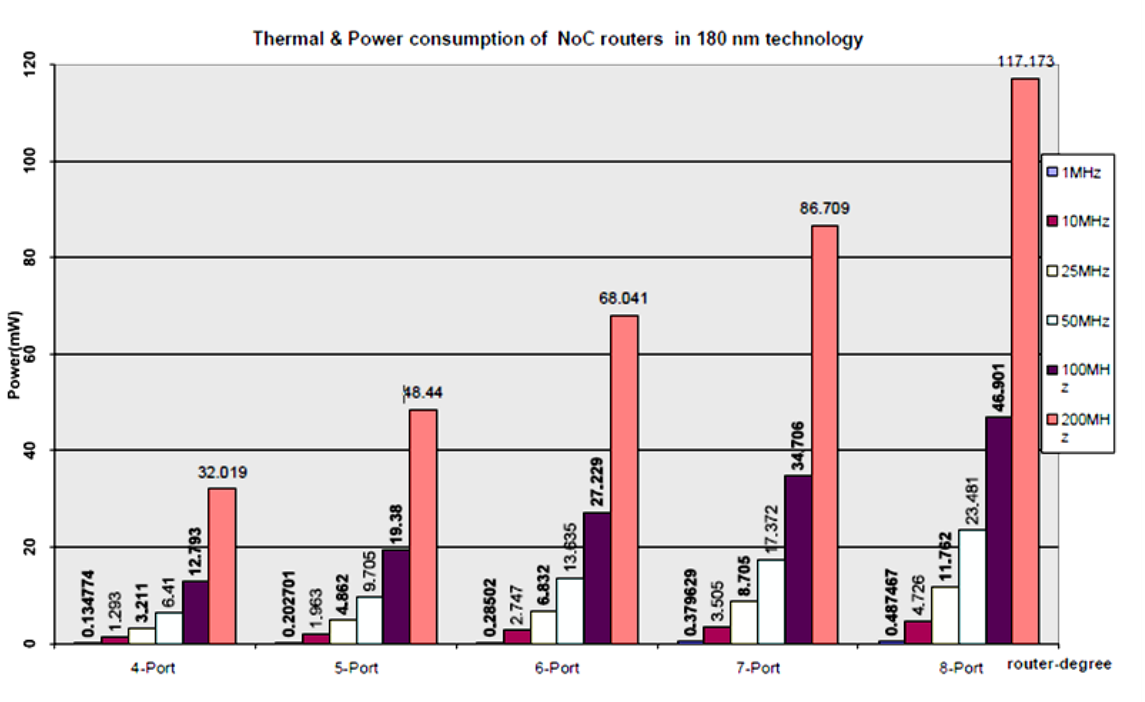
جدول 1 :تعداد پورت های روترها در همبندی های مختلف

Router Type & Port Number	3D Router 4 port	3D Router 5 port	3D Router 6 port	3D Router 7 port
Topology1	0	0	50	100
Topology2	50	50	50	50
Topology3	100	100	50	0
Topology4	0	80	75	50
Topology5	75	55	25	0

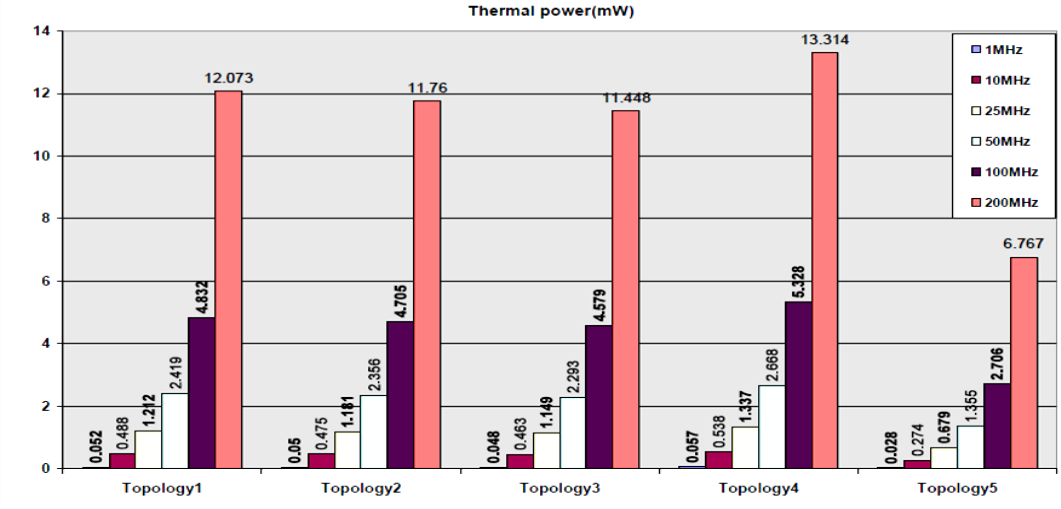
در ادامه براساس نحوه توزیع روترها میزان حرارت تراشه در همبندی های مختلف محاسبه می شود.

بررسی حرارت در سناریوهای مختلف

بسته به معماری روتر میزان حرارت تولیدی متغیر است که در شکل زیر نمونه ایی از این ارتباط مشاهده می شود:



شکل 4-2 ارتباط تعداد پورت ها و حرارت روترها



شکل 4-3 مقایسه حرارت در همبندی های مختلف

ارزیابی روش پیشنهادی و نتیجه‌گیری

دراین بخش نتیجه‌گیری روش کاهش حرارت در شبکه روی تراشه سه بعدی با بهینه سازی نگاشت TSVها و در نهایت پیشنهادات آتی در این عرصه ارائه می شود.

نتیجه‌گیری روش کاهش حرارت در شبکه روی تراشه سه بعدی با بهینه سازی نگاشت TSVها

دراین مقاله به بررسی کاهش حرارت در شبکه روی تراشه سه بعدی با بهینه سازی نگاشت TSVها می‌پردازیم. براین اساس شبیه سازی روی 5 همبندی در نظر گرفته شده و بررسی نتایج شبیه سازی مشاهده می شود.
در همبندی های ارائه شده 2 تا 4 نسبت به همبندی کامل 1 که تعداد و نحوه توزیع TSVها متغیر فرض شده درصد نسبی تغییرات حرارتی بصورت زیر است:

جدول 2: درصدنسبی تغییرات حرارتی

Frequency	Topology2	Topology3	Topology4	Topology5
1MHz	**96.00%**	**92.00%**	**110.00%**	**54.00%**
10MHz	**97.00%**	**95.00%**	**110.00%**	**56.00%**
25MHz	**97.00%**	**95.00%**	**110.00%**	**56.00%**
50MHz	**97.00%**	**95.00%**	**110.00%**	**56.00%**
100MHz	**97.00%**	**95.00%**	**110.00%**	**56.00%**
200MHz	**97.00%**	**95.00%**	**110.00%**	**56.00%**

بصورت میانگین در هر یک از همبندی ها نتایج زیر حاصل می شود:

جدول 5-2 میانگین نتایج همبندی

Topology2	Topology3	Topology4	Topology5
97.19٪	**٪94.39**	**٪110.17**	**٪55.68**

با توجه به نتایج فوق تعداد و محل قرارگیری TSVها پارامتر مؤثری در حرارت پردازنده های نوین محسوب شده و در کاربردهای که تمایل به کاهش حرارت داریم همبندی 5 مناسبترین حالت پیشنهادی است.
نمونه‌برداری از شبکه روی تراشه ها پیچیده‌تر نیاز به یک FPGA بزرگتر خواهد داشت. در این پروژه نسخه FPGA Virtex7 مورد استفاده قرار گرفته است.

پیشنهادات:

اجرای شبکه روی تراشه بسیار پایه است، بنابراین امکانات زیادی برای گسترش آن وجود دارد. روش های پیشنهادی در این مقاله را می‌توانید با FPGA های دیگر تولیدکنندگان و بزرگتر نیز مورد آزمایش قرار دهید، بهینه و بهتر بودن محصولات را مورد مقایسه قرار دهید.

مراجع و منابع

احمدزاده، شهرزاد،۱۳۹۵،"مقایسه الگوریتم های مسیریابی و تحلیل نقش آنها در کنترل ترافیک بر روی سیستم های شبکه روی تراشه‌ی سه‌بعدی"، کنفرانس بین المللی مهندسی کامپیوتر و فناوری اطلاعات، تهران، دبیرخانه دایمی کنفرانس.

اسدبلند، مجتبی و مهران زاده، امین ،۱۳۹۵، "بررسی مقایسه ای قابلیت اطمینان در الگوریتم مسیریابی پیشنهادی در شبکه روی تراشه سه بعدی"، سومین کنفرانس سراسری نوآوری های اخیر در مهندسی برق و کامپیوتر، تهران، موسسه آموزش عالی نیکان.

اصغری، سید امیر و یقینی، پوریا و افبال ،اشکان و پدرام ،حسین ،1387،"ارائه ی یک رویکرد مبتنی بر سیستم عامل برای شبکه‌های روی تراشه در الگوی ترافیکی نقطه داغ"،چهاردهمین کنفرانس ملی کامپیوتر ایران،تهران .

اصغری توچائی سید امیر،1388،آنالیز تأثیر پارامترهای پهنای باند و الگوی ترافیکی بر روی توان مصرفی پویای شبکه های روی تراشه.

تقی زاده فیروزجایی مصطفی، ولی نتاج مجتبی،1393، الگوریتم های مسیریابی تحمل پذیر اشکال در شبکه روی تراشه سه بعدی.

جبرئیل جمالی، محمدعلی و مطیع قادر، حبیب و خادم زاده، احمد و حسین نژادقوی فکر، محمد ، ۱۳۸۶، "ارائه الگوریتم های مسیریابی وفقی جدید جهت کاهش تعداد گام مسیردر شبکه های روی تراشه (NoC) با همبندیTorus وMesh "، سومین کنفرانس بین المللی فناوری اطلاعات و دانش، مشهد، دانشگاه فردوسی مشهد.

جمشیدی گوهرریزی، وحید ، دهقان، مهدی ، برنگی، رضا(1384) ارائه الگوریتم هایی جهت افزایش تحمل پذیری خطا در ارتباطات تراشه شبکه ای، دومین کنفرانس بین المللی فناوری اطلاعات و دانش.

جودزاده، نوشین و بهروزیان نژاد، ابراهیم، ۱۳۹۲، "بررسی توپولوژی مش در شبکه های روی تراشه"، همایش ملی مهندسی کامپیوتر و فناوری اطلاعات، شوشتر، دانشگاه آزاد اسلامی واحد شوشتر.

جهرامی مقدم، لادن، ۱۳۹۵، "مروری بر انواع معماری و انواع روش های مسیریابی شبکه روی تراشه"، دومین کنفرانس ملی رویکردهای نوین در مهندسی کامپیوتر و برق، رودسر، باشگاه پژوهشگران جوان و نخبگان.

حسینی، شکوفه السادات و رمضانی، عباس، ۱۳۹۵، "مروری بر الگوریتم های مسیریابی در شبکه روی تراشه، اولین کنفرانس بین المللی چشم انداز های نو در مهندسی برق و کامپیوتر"، تهران، کنفدراسیون بین المللی مخترعان جهان(IFIA) ، دانشگاه جامع علمی کاربردی.

خدادادی، غلامحسین و جوی،مریم و موسوی، نیما، ۱۳۹۴، "بررسی الگوریتم ها در شبکه بر روی تراشه NoC"، اولین همایش چشم انداز تکنولوژی کامپیوتر و شبکه در 2030، میبد یزد، دانشگاه آزاد اسلامی واحد میبد.

درگاهی، لیلا و زینالی، اسماعیل، ۱۳۹۴، "ارائه یک الگوریتم مسیریابی فاقد بن بست برای شبکه های برروی تراشه سه بعدی"، کنفرانس بین المللی پژوهش های کاربردی در فناوری اطلاعات، کامپیوتر و مخابرات، تربت حیدریه، شرکت مخابرات خراسان رضوی.

رضایی، سید حسین سید آقایی ومدرسی ،مهدی در سال 1394،"معماری بازپیکربندی شونده برای مسیریاب شبکه روی‌تراشه سه بعدی یکی از ویژگی های بارز شبکه های روی تراشه سه بعدی"،

رعیت پیشه، علی،۱۳۹۵،"مسیریابی برای برنامه های کاربردی درNoC با استفاده از الگوریتم های مبتنی برACO "، دومین کنفرانس بین المللی یافته های نوین علوم و تکنولوژی، قم، مرکز مطالعات و تحقیقات اسلامی سروش حکمت مرتضوی.

شاعری کریمی، زهرا و بهروزیان نژاد، ابراهیم، ۱۳۹۲،"معرفی و ارزیابی توپولوژی های شبکه روی تراشه"، همایش ملی مهندسی کامپیوتر و فناوری اطلاعات، شوشتر، دانشگاه آزاد اسلامی واحد شوشتر.

شریفی، سیدمنصور، 1391، طراحی و شبیه‌سازی یک شبکه روی تراشه‌ی ترکیبی با زبان توصیف سخت افزارVHDL.

صبرجو سپیده، جوانمرد مهدی، کدیوریان مجیدرضا,2014 ," بررسی الگوریتمهای مسیریابی تحمل خطا در شبکه سه‌بعدی 3D روی تراشه معماری و ارائه الگوریتمHLAFT ".

صحرایی، هادی و شادگار، بیتا وعصاره، علیرضا، ۱۳۹۲، "الگوریتم مسیریابی تا حدی وفقی مبتنی بر کنترل گر فازی برای کاهش زمان مسیریابی درNoC"، همایش ملی مهندسی کامپیوتر و توسعه پایدار با محوریت شبکه های کامپیوتری، مدل سازی و امنیت سیستمها، مشهد، موسسه آموزش عالی خاوران.

صفی خانی محمدزاده،پگاه،راد،فرهاد،مومن زاده،حسین،۱۳۹۶،"تقسیم بندی الگوریتم های مسیریابی در شبکه های روی-تراشه"،کنفرانس ملی پژوهش های نوین در برق، کامپیوتر و مهندسی پزشکی، کازرون، دانشگاه آزاد اسلامی واحد کازرون.

عامری، مولود و بهروزیان نژاد، ابراهیم، ۱۳۹۲، "بررسی الگوریتم های مسیریابی مبتنی بر تراشه (NoC) به منظور رسیدن به ترافیک یکنواخت در شبکه"، همایش ملی مهندسی کامپیوتر و فناوری اطلاعات، شوشتر، دانشگاه آزاد اسلامی واحد شوشتر.

علوی مهریان، سیدامید، ۱۳۹۵،" ارزیابی همبندی شبکه های مش دوبعدی و سه بعدی روی تراشه در تزریق جریان های مختلف هسته های پردازشی" ,نخستین کنفرانس ملی تحقیقات بین رشته ای در مهندسی کامپیوتر، برق، مکانیک و مکاترونیک , قزوین، مرکز آموزش عالی فنی مهندسی بوئین زهرا، پارک علم و فناوری استان قزوین.

عیسوندی، مریم، فتحی، محمود و برنگی، رضا، ۱۳۹۱، "بررسی تحقیقات انجام شده روی شبکه و تراشه‌های سه‌بعدی و چالش‌ها مشکلات توسعه آن‌ها"، همایش منطقه ای علوم کامپیوتر، مهندسی کامپیورتر و فناوری اطلاعات، دورود، دانشگاه آزاد اسلامی واحد دورود.

فقیهی، عفت و بهروزیان نژاد، ابراهیم،۱۳۹۲، "مروری بر معماری های جدید شبکه بر روی تراشه سه بعدی"، همایش ملی مهندسی کامپیوتر و فناوری اطلاعات، شوشتر، دانشگاه آزاد اسلامی واحد شوشتر.

قربانیان مهسا،1390، ارائه توپولوژی‌های جدید برای شبکه روی تراشه

گل وردزاده، بهنام ومیثمی،محمد حسن،1389،"ارائه یک الگوریتم مسیریابی وفقی جدیدجهت کاهش تأخیر در شبکه های روی تراشه با همبندی mesh، torus، اولین همایش منطقه‌ایی پژوهش در فناوری برق – دانشگاه آزاد اسلامی واحد نجف آباد.

مدیری، ارسطو و انصاری اصل، کریم و بهروزیان نژاد، ابراهیم، ۱۳۹۲، "مروری برعلل رویکرد ازمعماری سیستم روی تراشه به شبکه روی تراشه و انواع همبندی های شبکه برروی تراشه دوبعدی"، اولین همایش ملی رویکردهای نوین در مهندسی کامپیوتر و بازیابی اطلاعات، رودسر، دانشگاه آزاد اسلامی واحد رودسر و املش،

مرادی مقام، سعید وعطارزاده، ایمان وبراتی، علی ، ۱۳۹۲، "بررسی و بهبود الگوریتم مسیریابی چندپخشی درشبکه روی تراشه NoC"، کنفرانس ملی تجاری سازی، توسعه ملی و علوم مهندسی، ساری، شرکت توسعه محور پدیده.

میرزائی، محمدرضا و زینالی، اسمائیل، ۱۳۹۳، "بهبود راندمان الگوریتم مسیریابی کاملاً انطباقی برای شبکه روی تراشه سه بعدی"، کنفرانس بین المللی اقتصاد، حسابداری، مدیریت و علوم اجتماعی، کشور لهستان،University of Szczecin، International Center of Academic Communication (ICOAC).

نجار، فائزه و دشتبان، مرتضی و رضایی، مریم، ۱۳۹۳،"ساختار کلی شبکه های بر روی تراشه و افزایش ارایی با منطق فازی"، اولین همایش ملی فناوری و مدیریت دانش با محوریت اقتصاد مقاومتی، تربت حیدریه، دانشگاه تربت حیدریه.

A. Jantsch and H. Tenhunen, "Networks on Chip",2003, Kluwer Academic Publishers.

Aghaei, Babak,2017, "A high fault coverage test approach for communication channels in network on chip".

Ali Gulzari . Usman, Sajid . Muhammad, Anjum . Sheraz, Agha. Shahrukh, Sill Torres. Frank,2016, "A New Cross-By-Pass-Torus Architecture Based on CBP-Mesh and Torus Interconnection for On-Chip Communication".

Berejuck;Marcelo Daiel,2015."Network-on-Chip with load balancing based on interleave of flits technique."

BJERREGAARD. TOBIAS, MAHADEVAN. SHANKAR.2006. "A Survey of Research and Practices of Network-on-Chip".

C M. Sulaikha,abdul. Ali,2017, "A Study On Fault Tolerance In NOC Systems".

Change.En – jui ,yeu-An,Wu.yeu.2017. "Overview of High-Efficiency Ant Colony Optimization (ACO)-based".

Chifeng Wang, Wen-Hsiang Hu, Nader Bagherzadeh,2013," Scalable load balancing congestion-aware Network-on-Chip router architecture" .

Dang. khanh, Abdallah. Abderazek ben,2018,"Architecture And Design Methodology For Highly Reliable Tsv – Systems".

Dr. Fayez Gebali , Supervisor.2017." Thermal-Aware and Uniform Priority with Scaled Routing For High-Performance Network-on-Chip". in the Department of Electrical and Computer Engineering".

En-Jui Chang, Hsien-Kai Hsin, Chih-Hao Chao, Shu-Yen Lin, and An-Yeu (Andy) Wu,2013, "Regional ACO-Based Cascaded Adaptive Routing for Traffic Balancing in Mesh-Based Network-on-Chip Systems".

Ferreira .M joao, silveira. Jarbas, silveira jardel,2016. "Efficient Traffic Balancing for NoC Routing Latency Minimization".

Gratz-Paul-Grot-Boris,Kechler-Stelhenw, 2008." Regional Congestion Awareness for Load Balance in Networks-on-Chip".

Haofan Yang, Jyoti Tripathi, Natalie Enright Jerger,2014, " Random-Link, Low-Radix On-Chip Networks".

Hsien-Kai Hsin, En-lui Chang, Chih-Hao Chao, and An-Yeu Wu,2010, "Regional ACO-based Routing for Load-Balancing in NoC System".

Intel Corporation,1991, " A touchstone delta system description, in: Intel Advanced Information".

Jabbar Mohammad, Houzet Dominique ,2012, " 3D Architecture Implementation: A Survey".

Jabbar, Mohammad,Houzet, Dominique, 2011."3D Architecture Implementation: A Survey".

Jeff gambino,2018, " Handbook of Thin Film Deposition (Fourth Edition), the William Andrew publition".

Jui Chang-En,Kai Hsien-Hsien,Hao Chao-Chih,Yen Lin-Shu,Yeu Wu-An, 2013" Regional ACO Based Cascaded Adaptive Routing for Traffic Balancing in Mesh-Based Network-on-Chip Systems.

jui. chang En, kai hsin. hsien, hao chao. chih,yen lin.shu, wu. an yeu,2013, "Regional ACO-Based Cascaded Adaptive Routing for Traffic Balancing in Mesh-Based Network-on-Chip Systems".

Kai Hsin-Hsien,Jui chang-En,Hao Chao-Chih,Yeu Wu-An. 2010." Regional ACO-based Routing for Load-Balancing in NoC Systems".

Kevin Fall hkfall, Kannan Varadhan hkannan, 2011,"The ns Manual."

Konstantinos Tatas.Kostas Siozios، Dimitrios Soudris.Axel Jantsch، "Designing 2D and 3D Network-on-Chip Architectures".2014.

M. Daneshtalab, 2011."Exploring adaptive implementation of On-Chip Networks" ,Thesis .

Marcelo Daniel Berejuck,2015, "Network-on-Chip with load balancing based on interleave of flits technique".

Muhammad Athar Javed Sethi, Fawnizu Azmadi Hussin, Nor Hisham Hamid,2015, "SURVEY OF NETWORK ON CHIP ARCHITECTURES".

Muhammad, Athar, Javed, Sethi.Fawnizu,Azmadi,Hussin,Nor Hisham,Hamid. 2015."Survey Of Network On Chip Architectures".

Mukund Ramakrishna, Paul V. Gratz and Alexander Sprintson,2013,"Global Congestion Awareness for Load Balance in Networks-on-Chip".

Paul Gratz, Boris Grot , Stephen W. Keckler,2008,"Regional Congestion Awareness for Load Balance in Networks-on-Chip".

Ramakrishna-Mukand,V.Gratz–Paul,Sprintson-Alaxander,2013."GCA:GlobalCongestion Awareness for LoadBalance in Networks-on-Chip".

Ray Kurzweil,2012, "the signature is near: when human transcend biology".

Ren . pengju, kinsy. Michel a ,zheng. Nanning,2015."Fault-Aware Load-Balancing Routing for 2D-Mesh and Torus On-Chip Network Topologies".

S Sridevi,Dr.G Indumathi,2016, "A Review on 3D Network on Chip:Architecture Design and Optimization of Multi –core Media Applications".

Sridevi, S.Dr.G, Indumathi. 2016."A Review on 3D Network on Chip:Architecture Design and Optimization of Multi-core Media Applications".

Turhan Karadeniz_, Lotfi Mhamdiy,Kees Goossensz and J.J. Garcia-Luna Aceves,2012," Hardware Design and Implementation of a Network-on-Chip Based Load Balancing Switch Fabric".

W. J. Dally and B. Towles,2004, "Principles and Practices of Interconnection Networks ", Morgan Kaufmann.

Wang. Junhui,GU.Huaxi,Wang.Kang,yang.yintang,wang.kun.2015, "DRTL: a Heat-balanced Deadlock-free Routing Algorithm for 3D Topology Network-on-Chip".

Wang.chifeng,Hsiong Hu-Wen, Bagherzadeh.Nader, 2013." Scalable load balancing congestion-aware Network-on-Chip router Architecture."

xiaofeng . zhou,lu. liu,zhangming zhu,duan. zhou,2016, " A low overhead load balancing router for network-on-chip".

Yang-Haofan,Tripathi Jyoti,Enright Yerger Edward S-Natalie,2010."Dodec: Random-Link, Low-Radix On-Chip Networks".

A mechanism to deal with the energy and thermal problems of the router in the new processors

Mina Seifi*

Minaseifi95@gmail.com

Reza kordi - Islamic Azad University Khorramabad branch

Reza.kordi@khoiau.ac

Abstract: Though 3D chips are a promising solution to deal with scalability problems at the integrated circuit level. However, the high temperature of these chips has increased the density of the chips due to increased power density, against three-dimensional or intermittent errors. On the other hand, the use of the fast vertical TSV connections in the three-dimensional integrated circuits opens up a new horizon for network design on the chip. In this dissertation, routers with vertical connections between the silicon provide the connection between the chip layers. Layers can be aligned vertically with TSV over a distance of several millimeters. Reducing wires will reduce the amount of power and delay, and ultimately lower the diameter of the 3DNoC. In this thesis, we study the heat loss in a grid on a three-dimensional chip by optimizing the TSV mapping. The number and location of TSVs is an effective parameter in the heat of new processors, which is very effective in reducing heat.

Keywords: Three-dimensional chip networks, Energy, Temperature management, Routing, TSV.